

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124573

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

H01S 5/323
H01L 21/205
H01L 21/3065
H01L 21/308
H01L 21/331
H01L 29/737
H01L 29/80
H01L 33/00

(21)Application number : 2001-315704

(71)Applicant : SUMITOMO ELECTRIC IND LTD
SONY CORP

(22)Date of filing : 12.10.2001

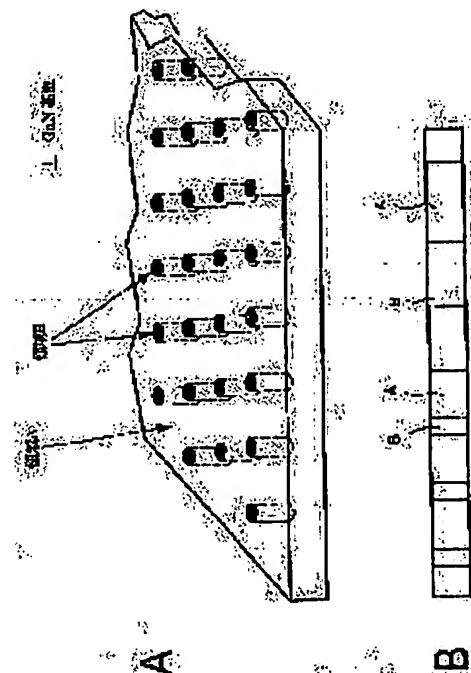
(72)Inventor : YANASHIMA KATSUNORI
KOBAYASHI TOSHIMASA
NAKAJIMA HIROSHI
MOTOKI KENSAKU

(54) METHOD FOR FABRICATING SEMICONDUCTOR LIGHT EMITTING ELEMENT, METHOD FOR FABRICATING SEMICONDUCTOR ELEMENT, METHOD FOR FABRICATING ELEMENT, METHOD FOR GROWING NITRIDE III-V COMPOUND SEMICONDUCTOR LAYER, METHOD FOR GROWING SEMICONDUCTOR LAYER, AND METHOD FOR GROWING LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a highly reliable semiconductor light emitting element having good emission characteristics and a long lifetime, a highly reliable semiconductor element having good characteristics and a long lifetime.

SOLUTION: At the time of fabricating a semiconductor light emitting element or a semiconductor element by growing a nitride based III-V compound semiconductor layer for forming a light emitting element structure or an element structure on the major surface of a nitride based III-V compound semiconductor substrate 1 where a plurality of second regions B having a second mean dislocation density higher than a first mean dislocation density are arranged regularly in a first region A of the crystal having the first mean dislocation density, the nitride based III-V compound semiconductor layer is prevented from coming into direct contact with the second region B on the major surface of the nitride based III-V compound semiconductor substrate.



LEGAL STATUS

[Date of request for examination]

04.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st average dislocation density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by making it growing up. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 2] The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by removing the 2nd field of the above from the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate in part at least before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 3] The manufacture approach of the semi-conductor light emitting device according to claim 2 characterized by removing the 2nd field of the above from the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate by predetermined Mr. Fukashi before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 4] The above-mentioned predetermined depth is the manufacture approach of the semi-conductor light emitting device according to claim 3 characterized by being 1 micrometers or more.

[Claim 5] The above-mentioned predetermined depth is the manufacture approach of the semi-conductor light emitting device according to claim 3 characterized by being 10 micrometers or more.

[Claim 6] The manufacture approach of the semi-conductor light emitting device according to claim 2 characterized by all removing the 2nd field of the above before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 7] The manufacture approach of the semi-conductor light emitting device according to claim 2 characterized by removing the 2nd field of the above by etching.

[Claim 8] The above-mentioned etching is the manufacture approach of the semi-conductor light emitting device according to claim 7 characterized by being wet etching.

[Claim 9] The above-mentioned etching is the manufacture approach of the semi-conductor light emitting device according to claim 7 characterized by being dry etching.

[Claim 10] The above-mentioned etching is the manufacture approach of the semi-conductor light emitting device according to claim 7 characterized by being thermochemistry etching.

[Claim 11] The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by covering the front face of the 2nd field of the above by the enveloping layer before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 12] The manufacture approach of the semi-conductor light emitting device according to claim 11 characterized by removing the 2nd field of the above from the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate by predetermined Mr. Fukashi.

[Claim 13] The manufacture approach of the semi-conductor light emitting device according to claim 12 characterized by the part from which the 2nd field of the above was removed being buried by the above-mentioned enveloping layer.

[Claim 14] The front face of the above-mentioned enveloping layer is the manufacture approach of the semi-conductor light emitting device according to claim 11 characterized by being in a location higher

than the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 15] The front face of the above-mentioned enveloping layer is the manufacture approach of the semi-conductor light emitting device according to claim 11 characterized by being in agreement with the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 16] Two or more 2nd fields of the above are the manufacture approaches of the semi-conductor light emitting device according to claim 1 characterized by having arranged periodically.

[Claim 17] Two or more 2nd fields of the above are the manufacture approaches of the semi-conductor light emitting device according to claim 1 characterized by having arranged periodically in the shape of a hexagonal lattice.

[Claim 18] Two or more 2nd fields of the above are the manufacture approaches of the semi-conductor light emitting device according to claim 1 characterized by having arranged periodically in the shape of a rectangle grid.

[Claim 19] Two or more 2nd fields of the above are the manufacture approaches of the semi-conductor light emitting device according to claim 1 characterized by having arranged periodically in the shape of a tetragonal lattice.

[Claim 20] Spacing of the 2nd two field of the above which adjoins mutually is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being 20 micrometers or more.

[Claim 21] Spacing of the 2nd two field of the above which adjoins mutually is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being 50 micrometers or more.

[Claim 22] Spacing of the 2nd two field of the above which adjoins mutually is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being 100 micrometers or more.

[Claim 23] The array period of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 16 characterized by being 20 micrometers or more.

[Claim 24] The array period of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 16 characterized by being 50 micrometers or more.

[Claim 25] The array period of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 16 characterized by being 100 micrometers or more.

[Claim 26] The 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by having an indeterminate multiple column-like configuration.

[Claim 27] The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by preparing the 3rd field which has the 3rd average dislocation density lower than the average dislocation density of the above 2nd more highly than the average dislocation density of the above 1st between the 1st field of the above, and the 2nd field of the above.

[Claim 28] The manufacture approach of the semi-conductor light emitting device according to claim 27 characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above and the 3rd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 29] The manufacture approach of the semi-conductor light emitting device according to claim 28 characterized by removing the 2nd field of the above, and the 3rd field of the above from the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate in part at least before growing up the above-mentioned nitride system group-III-V-semiconductor layer.

[Claim 30] The diameter of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by 10-micrometer or more being 100 micrometers or less.

[Claim 31] The diameter of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by 20-micrometer or more being 50 micrometers or less.

[Claim 32] The diameter of the 3rd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 27 characterized by 20-micrometer or more thing large 200 micrometers or less from the diameter of the 2nd field of the above.

[Claim 33] The diameter of the 3rd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 27 characterized by 40-micrometer or more thing large 160 micrometers or less from the diameter of the 2nd field of the above.

[Claim 34] The diameter of the 3rd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 27 characterized by 60-micrometer or more thing large 140 micrometers or less from the diameter of the 2nd field of the above.

[Claim 35] The average dislocation density of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being 5 or more times of the average dislocation density of the 1st field of the above.

[Claim 36] The average dislocation density of the 2nd field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being more than $1 \times 10^8 \text{ cm}^{-2}$.

[Claim 37] For the average dislocation density of less than $[2 \times 10^6 \text{ cm}^{-2}]$ and the 2nd field of the above, the average dislocation density of the 1st field of the above is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being more than $1 \times 10^8 \text{ cm}^{-2}$.

[Claim 38] For the average dislocation density of less than $[2 \times 10^6 \text{ cm}^{-2}]$ and the 2nd field of the above, the average dislocation density of the 1st field of the above is $[\text{the average dislocation density of more than } 1 \times 10^8 \text{ cm}^{-2} \text{ and the 3rd field of the above}]$ the manufacture approach of the semi-conductor light emitting device according to claim 27 characterized by being smaller than $1 \times 10^8 \text{ cm}^{-2}$ and being larger than $2 \times 10^6 \text{ cm}^{-2}$.

[Claim 39] The above-mentioned nitride system group-III-V-semiconductor substrate is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by consisting of $\text{Al}_x\text{ByGa}_{1-x-y-z}\text{In}_z\text{AsuN}_{1-u-v}\text{Pv}$ (however, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq u \leq 1$, $0 \leq v \leq 1$, $0 \leq x+y+z \leq 1$, $0 \leq u+v \leq 1$).

[Claim 40] The above-mentioned nitride system group-III-V-semiconductor substrate is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by consisting of $\text{Al}_x\text{ByGa}_{1-x-y-z}\text{In}_z\text{N}$ (however, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq x+y+z \leq 1$).

[Claim 41] The above-mentioned nitride system group-III-V-semiconductor substrate is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by consisting of $\text{Al}_x\text{Ga}_{1-x-z}\text{In}_z\text{N}$ (however, $0 \leq x \leq 1$, $0 \leq z \leq 1$).

[Claim 42] The above-mentioned nitride system group-III-V-semiconductor substrate is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by consisting of GaN.

[Claim 43] The above-mentioned semi-conductor light emitting device is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being semiconductor laser.

[Claim 44] The above-mentioned semi-conductor light emitting device is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by being light emitting diode.

[Claim 45] The 1st average defect density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by making it growing up. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 46] By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 47] It is the manufacture approach of the semi-conductor light emitting device according to claim 46 characterized by for the 1st field of the above being a single crystal, and intermingling a single

crystal, polycrystal, amorphous substances, or 2 or more [these], as for the 2nd field of the above.
[Claim 48] The 1st average dislocation density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by making it growing up. The manufacture approach of the semiconductor device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 49] The above-mentioned semiconductor device is the manufacture approach of the semiconductor device according to claim 48 characterized by being a light emitting device.

[Claim 50] The above-mentioned semiconductor device is the manufacture approach of the semiconductor device according to claim 48 characterized by being a photo detector.

[Claim 51] The above-mentioned semiconductor device is the manufacture approach of the semiconductor device according to claim 48 characterized by being an electronic transit component.

[Claim 52] The 1st average defect density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by making it growing up. The manufacture approach of the semiconductor device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 53] By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 54] By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 55] By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 56] It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 57] By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd

average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density form component structure on the principal plane of the semi-conductor substrate arranged regularly The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 58] By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density form component structure on the principal plane of the semi-conductor substrate arranged regularly The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 59] It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal. The manufacture approach of the semiconductor device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 60] By growing up the layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density form component structure on the principal plane of the substrate arranged regularly The manufacture approach of the component which is the manufacture approach of a component of having manufactured the component and is characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 61] By growing up the layer in which two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density form component structure on the principal plane of the substrate arranged regularly The manufacture approach of the component which is the manufacture approach of a component of having manufactured the component and is characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 62] The manufacture approach of the component which is the manufacture approach of a component of having manufactured a component by growing up the layer which forms component structure on the principal plane of the substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal, and is characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 63] Two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 64] Two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density arrange regularly at the 1st spacing in the 1st direction. By growing up the

nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 65] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 66] The 1st average dislocation density Two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel light emitting device structure It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the nitride system group-III-V-semiconductor layer to form. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 67] The 1st average defect density Two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel light emitting device structure It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the nitride system group-III-V-semiconductor layer to form. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 68] The nitride system group-III-V-semiconductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by making it growing up. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 69] Two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the

semiconductor device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 70] Two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density arrange regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 71] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 72] The 1st average dislocation density Two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel component structure It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the nitride system group-III-V-semiconductor layer to form. The manufacture approach of the semiconductor device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 73] The 1st average defect density Two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel component structure It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the nitride system group-III-V-semiconductor layer to form. The manufacture approach of the semiconductor device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 74] The nitride system group-III-V-semiconductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by making it growing up. The manufacture approach of the semiconductor device characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 75] Two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd

spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 76] Two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 77] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the semi-conductor light emitting device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 78] The 1st average dislocation density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 79] The 1st average defect density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 80] By growing up the semi-conductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 81] Two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The

manufacture approach of the semiconductor device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 82] Two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the semiconductor device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 83] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the semiconductor device characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 84] The 1st average dislocation density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 85] The 1st average defect density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which it has] a straight line form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 86] By growing up the semi-conductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel The manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 87] Two or more 2nd fields which have the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the component characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 88] Two or more 2nd fields which have the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st

average defect density arrange regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the component characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 89] Two or more 2nd fields where crystallinity is worse than this 1st field arrange regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing of the above in the 1st direction of the above, and the 2nd direction which intersects perpendicularly. The manufacture approach of the component characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 90] By growing up the layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density] a straight line form component structure on the principal plane of the substrate arranged regularly mutually in parallel The manufacture approach of the component which is the manufacture approach of a component of having manufactured the component and is characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 91] By growing up the layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density] a straight line form component structure on the principal plane of the substrate arranged regularly mutually in parallel The manufacture approach of the component which is the manufacture approach of a component of having manufactured the component and is characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 92] It is the manufacture approach of a component of having manufactured the component by growing up the layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the substrate arranged regularly mutually in parallel. The manufacture approach of the component characterized by making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate.

[Claim 93] The 1st average dislocation density All over the 1st field which consists of a crystal which it has It is the growth approach of the nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd field which has the 2nd average dislocation density higher than the average dislocation density of the above 1st. The growth approach of the nitride system group-III-V-semiconductor layer characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 94] The 1st average defect density All over the 1st field which consists of a crystal which it has It is the growth approach of the nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd field which has the 2nd average defect density higher than the average defect density of the above 1st. The growth approach of the nitride system group-III-V-semiconductor layer characterized by making it the above-mentioned nitride system group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 95] The growth approach of the nitride system group-III-V-semiconductor layer which crystallinity is the growth approach of the nitride system group-III-V-semiconductor layer it was made grow up a nitride system group-III-V-semiconductor layer on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd bad field, and is characterized from this 1st field all over the 1st field which consists of a crystal by making it the above-mentioned nitride system

group-III-V-semiconductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate.

[Claim 96] It is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the semi-conductor substrate which has the 2nd field which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density. The growth approach of the semi-conductor layer characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 97] It is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the semi-conductor substrate which has the 2nd field which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density. The growth approach of the semi-conductor layer characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate.

[Claim 98] The growth approach of the semi-conductor layer which crystallinity is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the substrate which has the 2nd bad field, and is characterized by making it the above-mentioned semi-conductor layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned semi-conductor substrate from this 1st field all over the 1st field which consists of a crystal.

[Claim 99] The growth approach of the layer characterized by being the growth approach of a layer of having made it grow up a layer, and making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate on the principal plane of the substrate which has the 2nd field which has the 2nd average dislocation density higher than the average dislocation density of the above 1st all over the 1st field which consists of a crystal which has the 1st average dislocation density.

[Claim 100] The growth approach of the layer characterized by being the growth approach of a layer of having made it grow up a layer, and making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate on the principal plane of the substrate which has the 2nd field which has the 2nd average defect density higher than the average defect density of the above 1st all over the 1st field which consists of a crystal which has the 1st average defect density.

[Claim 101] The growth approach of the layer characterized by crystallinity being the growth approach of a layer of having made it grow up a layer on the principal plane of the substrate which has the 2nd bad field, and making it the above-mentioned layer not contact the 2nd field of the above, and directly on the principal plane of the above-mentioned substrate from this 1st field all over the 1st field which consists of a crystal.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to manufacture of the semiconductor laser and light emitting diode using a nitride system group III-V semiconductor, or an electronic transit component, concerning the manufacture approach of a semi-conductor light emitting device, the manufacture approach of a semiconductor device, the manufacture approach of a component, the growth approach of a nitride system group-III-V-semiconductor layer, the growth approach of a semi-conductor layer, and the growth approach of a layer, and is suitable.

[0002]

[Description of the Prior Art] Nitride system groups III-V semiconductor, such as GaN, AlGaInN, and AlGaInN, compare with an AlGaInAs system group III-V semiconductor or an AlGaInP system group III-V semiconductor, and are band gaps Eg. It has the description of it being large and being the semiconductor material of direct transition. for this reason , these nitride system groups III-V semiconductor observe as [from the semiconductor laser which can emit light for the light of short wavelength which hit green from ultraviolet rays , and ultraviolet rays to red] an ingredient which constitute semi-conductor light emitting devices , such as light emitting diode (LED) which can cover large luminescence wavelength range call white , -- have -- **** -- a high density optical disk and a full color display -- the environment , the medical field , etc. be further consider in application widely .

[0003] Moreover, these nitride system groups III-V semiconductor have the description of crystal growth being able to perform formation of a semi-conductor layer and an insulating layer continuously by that the saturation velocity in the high electric field of GaN is large, for example, the elevated-temperature actuation to about 400 degrees C is possible, and using AlN for the ingredient of the insulating layer for example, in MIS (Metal-Insulator-Semiconductor) structure. For this reason, these nitride system groups III-V semiconductor are expected also as an ingredient which constitutes the RF electronic device of the high power in which elevated-temperature actuation is possible.

[0004] In addition, the following things are mentioned as a nitride system group's III-V semiconductor advantage.

- (1) Thermal conductivity is higher than a GaAs system semi-conductor etc., and is the component sense of an elevated temperature and high power actuation.
- (2) An ingredient is chemically stable, and a degree's of hardness is expensive, and it is easy to acquire high dependability.
- (3) The load to an environment is a small compound semiconductor ingredient. That is, an AlGaInN system semi-conductor does not contain the environmental pollutant or poison with large effect to an environment in a component or a raw material. Specifically, the ingredient equivalent to the arsenic (As) in an AlGaAs system semi-conductor, the cadmium (Cd) in a ZnCdSSe system semi-conductor, etc., its raw material (arsine (AsH3)), etc. are not used.

[0005] However, there was a problem that there was no suitable substrate ingredient to acquire high dependability in the component using a nitride system group III-V semiconductor conventionally. As a nitride system group's III-V semiconductor substrate ingredient, in order to obtain especially the crystal of high quality, there are the following problems and situations.

- (1) GaN of a component, AlGaIn, and GaInN are the total-distortion systems from which a lattice constant differs. Therefore, the range in which the range and the good crystal film which do not produce a crack etc. between nitride system groups III-V semiconductor and a substrate are obtained has the limit on a design, such as stopping a presentation, thickness, etc.

(2) The high quality substrate which carries out lattice matching to GaN is not developed yet. There is no substrate which there is a problem of being easy to generate a crack since a quality GaN substrate is a developmental stage, the comparatively small SiC substrate of a lattice constant difference is expensive, diameter[of macrostomia]-izing is also difficult, it pulls on the crystal film and distortion occurs as there are a high quality GaAs substrate which carries out lattice matching to a GaAs system semi-conductor or a GaInP system semi-conductor, and a high quality InP substrate which carries out lattice matching to a GaInAs system semi-conductor for example, and carries out lattice matching to GaN in addition to these.

(3) It may not be deteriorated and corroded by the requirement of a nitride system group's III-V semiconductor substrate ingredient in the high crystal growth temperature of about 1000 degrees C, and the ammonia ambient atmosphere of V group raw material.

[0006] For the above reasons, silicon on sapphire is used in many cases by decision synthetic as a nitride system group's III-V semiconductor substrate. Silicon on sapphire is stable at a nitride system group's III-V semiconductor crystal growth temperature, and although there is an advantage by which 2 or the 3 inch substrate of high quality is supplied to stability, on the other hand, grid mismatching with GaN is large (about 13%). For this reason, the buffer layer which consists of GaN or AlN with low-temperature growth is formed on silicon on sapphire, and the nitride system group III-V semiconductor is grown up on it. According to this, it is possible to grow up the nitride system group III-V semiconductor of a single crystal, but the defect density reflects grid mismatching, for example, it is 10⁸–10⁹. It was difficult for there to be also extent (cm⁻²), for example, to acquire the dependability of long duration in semiconductor laser.

[0007] When indispensable and (3) crystal growth film have the thick ejection of p lateral electrode from a substrate top face, and n lateral electrode since there is no (1) cleavability in silicon on sapphire in addition to this, stable formation of a laser end face with high mirror plane nature is difficulty and (2) sapphire is insulation, according to the difference of the coefficient of thermal expansion of a nitride system group III-V semiconductor and sapphire, the curvature of the substrate in a room temperature is large, and there are problems, such as causing trouble to a component formation process.

[0008] For the purpose of the quality improvement of a semiconducting crystal grown up on the substrate with which lattice constants differ like silicon on sapphire, there is a method of using longitudinal direction selective growth (Epitaxial Lateral Overgrowth; ELO). Although a high crystal quality field (longitudinal direction growth field), low crystal quality, or high defect density fields (a seed crystal top, the boundary, the meeting section, etc.) appear periodically in ELO When the size of the active region (for example, field an electron runs with a luminescence field and an electronic transit component by the light emitting device) of a component is not large, the period of ELO It can take more greatly than the emitter region / collector field (or source field / drain field) spacing of the stripe of semiconductor laser, or a transistor. For example, since the size of the active region of a component is about several micrometers to the period of 10–20 micrometers of ELO, it is possible to design an active region in a high quality field.

[0009] When a component was formed on silicon on sapphire using ELO, there were the following problems, for example besides the problem resulting from the property of sapphire own one, such as badness of above-mentioned cleavability.

(1) The yield falls according to there being many routing counters required for ELO.

(2) The big curvature by thermal stress occurs in a substrate, and only a part required for ELO reduces the controllability of a crystal growth process or a wafer process, when crystal thickness increases.

(3) There is a limit of component size. With components which are larger than an ELO period, for example, have an active region beyond hundreds of micrometer angle, such as LED, a photodetector (PD), and an accumulation component, since all component fields cannot be made into a high crystal quality field, effectiveness of ELO cannot be demonstrated.

[0010] Although many above problems can be solved if the GaN substrate of high quality is obtained, for an old attempt, it was quality and the GaN substrate of the diameter of macrostomia was not obtained. By the reasons of being hard to obtain the good seed crystal by elevated-temperature (high pressure) growth also by HVPE (halide vapor growth) generally, this cannot carry out single crystal growth to stability, but, as for GaN, manufacture of a high quality substrate depends it on a difficult thing.

[0011] The manufacture approach of the single crystal GaN substrate aiming at aiming at an improvement of this problem is proposed by JP,2001-102307,A. According to this, a three-dimension-facet (it is called a "core" below) is formed in a part after forming the GaN kind substrate of high defect density, by continuing growth on the conditions which do not close a facet, a crystal rearrangement is

centralized on this core section, and the field large as a result is manufacturing the quality substrate.
[0012]

[Problem(s) to be Solved by the Invention] However, since especially the technique indicated by JP,2001-102307,A is what decreases the penetration rearrangement of other fields by centralizing a penetration rearrangement on a field with a growth phase, in the obtained single crystal GaN substrate, the field (core) of low defect density and the field of high defect density are intermingled, and the location which the field of high defect density moreover generates cannot be controlled, but is generated at random. For this reason, when a nitride system group-III-V-semiconductor layer was grown up on this single crystal GaN substrate and a semiconductor device, for example, semiconductor laser, was manufactured, it could not avoid that the field of high defect density will be formed in a luminescence field, but the fall of the luminescence property of semiconductor laser or dependability was caused.

[0013] Therefore, this Object of the Invention has good properties, such as a luminescence property, and they are to offer the manufacture approach of a semi-conductor light emitting device that a reliable long lasting semi-conductor light emitting device and such a semi-conductor light emitting device can be manufactured easily.

[0014] More generally, this Object of the Invention has a good property, and it is to offer the manufacture approach of a semiconductor device that a reliable long lasting semiconductor device and such a semiconductor device can be manufactured easily.

[0015] Still more generally, this Object of the Invention has a good property, and it is to offer the manufacture approach of a component that various kinds of reliable long lasting components and such components can be manufactured easily.

[0016] Moreover, this Object of the Invention has good properties, such as a luminescence property, its long lasting reliable semi-conductor light emitting device or reliable long lasting property is good, and its long lasting reliable semiconductor device or reliable long lasting property is good, and it is to use for reliable long lasting manufacture of various kinds of components, and offer the suitable growth approach of a nitride system group-III-V-semiconductor layer, the growth approach of a semi-conductor layer, and the growth approach of a layer.

[0017]

[Means for Solving the Problem] this invention person inquired wholeheartedly, in order to solve the above-mentioned technical problem. It is as follows when the outline is explained.

[0018] this invention person succeeded in controlling the location of the high defect density field generated all over a low defect density field, as a result of repeating amelioration of the technique indicated by JP,2001-102307,A. That is, into crystal growth, a high defect density field is made to condense automatically, and is not formed, but seed crystal etc. is artificially formed [circularly, regularly, for example periodically, and] on a substrate with a suitable GaAs substrate etc., for example, and the formation location of a high defect density field can be controlled by performing crystal growth on it, and it becomes possible to extend an improvement of crystal quality and a good crystalline region. In this case, the array pattern of a high defect density field is freely changeable with arrangement of seed crystal etc.

[0019] Here, in seed crystal etc., although formed with ingredients other than nitride system groups III-V semiconductor other than GaN of polycrystal, an amorphous substance (amorphous), or a single crystal, and GaN(s), such as AlGaInN, and a nitride system group III-V semiconductor, as long as it is the structure used as the nucleus (core) which specifies a crystal defect concentration location, you may be what kind of structure.

[0020] Using such a substrate, semi-conductor light emitting devices, such as semiconductor laser, and when manufacturing a semiconductor device more generally, the high defect density field which exists in a substrate needs to eliminate the bad influence which it has on a component. That is, if a semi-conductor layer is grown up on a substrate, in order for a defect to spread from the high defect density field of a substrate substrate in this semi-conductor layer, it is necessary to prevent degradation of the property of a component, a fall of dependability, etc. resulting from this defect.

[0021] It happens, also when it is difficult to obtain the substrate of low defect density with this problem homogeneous as the semi-conductor used for a component, and growing up a semi-conductor layer on it using the substrate of the same structure as the above. It happens, also when it is difficult to obtain the substrate of low defect density homogeneous as the ingredient used for a component more generally, and growing up a layer on it using the substrate of the same structure as the above. As a result of examining many things, this invention person finds out the effective technique of the ability to

solve the above-mentioned technical problem, and used to come to think out this invention.

[0022] In order to solve the above-mentioned technical problem, namely, invention of the 1st of this invention The 1st average dislocation density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly By making it grow up, it is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0023] In order to make it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate, before growing up a nitride system group-III-V-semiconductor layer, specifically, the 2nd field is removed from the principal plane of a nitride system group-III-V-semiconductor substrate in part at least. Before growing up a nitride system group-III-V-semiconductor layer, more specifically, the 2nd field is removed from the principal plane of the above-mentioned nitride system group-III-V-semiconductor substrate by predetermined Mr. Fukashi. Here, although the predetermined depth is suitably chosen according to the configuration of the component constituted by the nitride system group-III-V-semiconductor layer, the growth conditions of a nitride system group-III-V-semiconductor layer, etc., generally it is carried out 1 micrometers or more to more than thickness extent (for example, 10 micrometers or more) of the component suitably constituted using a nitride system group-III-V-semiconductor layer. Before growing up a nitride system group-III-V-semiconductor layer, the 2nd field may all be removed. Etching performs removal of the 2nd field typically and, specifically, wet etching, dry etching, thermochemistry etching, ion milling, etc. perform.

[0024] In order to make it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate, before growing up a nitride system group-III-V-semiconductor layer, the front face of the 2nd field may be covered by the enveloping layer. As this enveloping layer, as long as growth temperature can be borne, various kinds of things can be used, and specifically, it is SiO₂. The film and Six Ny Refractory metal film, those nitrides, etc., such as a tungsten (W) besides insulator layers, such as film and SOG (Spin on Glass) film, molybdenum (Mo), and a tantalum (Ta), can be used. In this case, although it is also good to form an enveloping layer on the 2nd field, when the 2nd field is removed from the principal plane of a nitride system group-III-V-semiconductor substrate to the predetermined depth, the part from which this 2nd field was removed may be made to be buried by the enveloping layer. Although the front face of an enveloping layer is located in a location higher than the principal plane of a nitride system group-III-V-semiconductor substrate, the front face of an enveloping layer can be made in agreement [in the case of the latter] with the principal plane of a nitride system group-III-V-semiconductor substrate in the case of the former by using the technique of etchback etc.

[0025] Although spacing of the 2nd two field which adjoins mutually, or the array period of the 2nd field is chosen according to the magnitude of a component etc., generally it is 20 micrometers or more, 50 micrometers or more, or 100 micrometers or more. Although what has the not necessarily clear upper limit of spacing of this 2nd field or the array period of the 2nd field does not exist, generally it is about 1000 micrometers. This 2nd field has penetrated the nitride system group-III-V-semiconductor substrate typically. Moreover, this 2nd field has an indeterminate multiple column-like configuration typically. Between the 1st field and the 2nd field, are higher than the 1st average dislocation density. And the 3rd field which has the 3rd average dislocation density lower than the 2nd average dislocation density exists as a transition region in many cases. Although it is also good to make it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate, in this case, most suitably It is made for a nitride system group-III-V-semiconductor layer not to contact these 2nd field and the 3rd field, and directly on the principal plane of a nitride system group-III-V-semiconductor substrate. In the case of the latter, before growing up a nitride system group-III-V-semiconductor layer, specifically, the 2nd field and 3rd field are removed from the principal plane of a nitride system group-III-V-semiconductor substrate in part at least.

[0026] 10 micrometers or more 100 micrometers or less of diameters of the 2nd field are 20 micrometers or more 50 micrometers or less more typically. Moreover, when the 3rd field exists, typically, the diameter is larger than 20 micrometers or more 200 micrometers or less, more typically

large 40 micrometers or more 160 micrometers or less, and most typically larger than the diameter of the 2nd field 60 micrometers or more 140 micrometers or less.

[0027] Generally the average dislocation density of the 2nd field is 5 or more times of the dislocation density of the 1st field. Typically, less than $[2 \times 10^6 \text{ cm}^{-2}]$ and the average dislocation density of the 2nd field of the average dislocation density of the 1st field are more than $1 \times 10^8 \text{ cm}^{-2}$. When the 3rd field exists, the average dislocation density is smaller than $1 \times 10^8 \text{ cm}^{-2}$, and typically larger than $2 \times 10^6 \text{ cm}^{-2}$.

[0028] In order that average dislocation density may prevent the bad influence by the 2nd high field, 1 micrometers or more of 10 micrometers or more of 100 micrometers or more of luminescence fields of a semi-conductor light emitting device are more suitably separated from the 2nd field. When the 3rd field exists, it is made for the luminescence field of a semi-conductor light emitting device not to include the 2nd field and 3rd field most suitably. Although semi-conductor light emitting devices are semiconductor laser and light emitting diode, more specifically, in the case of the former semiconductor laser, 1 micrometers or more of 10 micrometers or more of 100 micrometers or more of fields where a drive current is passed through a stripe-like electrode are more suitably separated from the 2nd field still more suitably. When the 3rd field exists, it is made for the field where a drive current is passed through a stripe-like electrode not to include the 2nd field and 3rd field most suitably. One or more number of stripe-like electrodes, i.e., a laser stripe, may be formed, and can also choose the width of face if needed.

[0029] A nitride system group-III-V-semiconductor substrate or a nitride system group-III-V-semiconductor layer Most generally $\text{Al}_x\text{ByGa}_{1-x-y-z}\text{In}_z\text{AsuN}_{1-u-v}\text{PvIt}$ consists of ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq u \leq 1$, $0 \leq v \leq 1$, $0 \leq x+y+z \leq 1$, $0 \leq u+v \leq 1$). [however,] It more specifically consists of $\text{Al}_x\text{ByGa}_{1-x-y-z}\text{In}_z\text{N}$ (however, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq x+y+z \leq 1$), and consists of $\text{Al}_x\text{Ga}_{1-x-z}\text{In}_z\text{N}$ (however, $0 \leq x \leq 1$, $0 \leq z \leq 1$) typically. A nitride system group-III-V-semiconductor substrate consists of GaN most typically. The thing of the more than described in relation to invention of the 1st of this invention is materialized also about the following invention, unless it is contrary to that property.

[0030] Invention of the 2nd of this invention The 1st average defect density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly By making it grow up, it is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0031] here, "average defect density" means the mean density of the whole lattice defect which has a bad influence on a property, dependability, etc. of a component, and all things, such as a rearrangement, a stacking fault, and a point defect, are contained in a defect (the following -- the same).

[0032] Invention of the 3rd of this invention By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0033] here, typically, the 1st field which consists of a crystal is a single crystal, and, as for the 2nd field where crystallinity is worse than this 1st field, a single crystal, polycrystal, amorphous substances, or 2 or more [these] are intermingled (the following -- the same). This corresponds with the case where the 2nd average dislocation density or average defect density of a field is higher than the 1st average dislocation density or average defect density of a field.

[0034] Invention of the 4th of this invention The 1st average dislocation density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly By making it grow up, it is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making

it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0035] Invention of the 5th of this invention The 1st average defect density The nitride system group-III-V-semiconductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly By making it grow up, it is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0036] Invention of the 6th of this invention By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0037] in the 4th of this invention - the 6th invention, a photo detector besides a light emitting device like light emitting diode or semiconductor laser and an electronic transit component still like field-effect transistors (FET), such as a high electron mobility transistor, or a heterojunction bipolar transistor (HBT) are contained in a semiconductor device (the following -- the same).

[0038] In the 4th of this invention - the 6th invention, in order that average dislocation density may prevent the bad influence by the 2nd high field, 1 micrometers or more of 10 micrometers or more of 100 micrometers or more of active regions of a semiconductor device are more suitably separated from the 2nd field still more suitably. When the 3rd field exists, it is made for the active region of a semiconductor device not to include the 2nd field and 3rd field most suitably. here, an active region means a light-receiving field and the field an electron runs in an electronic transit component in a luminescence field and a semi-conductor photo detector in a semi-conductor light emitting device (the following -- the same).

[0039] Invention of the 7th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0040] Invention of the 8th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0041] Invention of the 9th of this invention It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0042] Invention of the 10th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density form component structure on the principal plane of the semi-conductor substrate arranged regularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly

on the principal plane of a semi-conductor substrate.

[0043] Invention of the 11th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density form component structure on the principal plane of the semi-conductor substrate arranged regularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0044] Invention of the 12th of this invention It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0045] In the 10th of this invention - the 12th invention, the ingredients of a semi-conductor substrate or a semi-conductor layer may be wurtzite mold (wurtzit) structure besides a nitride system group III-V semiconductor and other semi-conductors which more generally have the crystal structure of hexagonal system, for example, ZnO, alpha-ZnS, alpha-CdS, alpha-CdSe, etc., and may be various kinds of semi-conductors which have the crystal structure of further others.

[0046] Invention of the 13th of this invention By growing up the layer in which two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density form component structure on the principal plane of the substrate arranged regularly It is the manufacture approach of a component of having manufactured the component, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0047] Invention of the 14th of this invention By growing up the layer in which two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density form component structure on the principal plane of the substrate arranged regularly It is the manufacture approach of a component of having manufactured the component, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0048] Invention of the 15th of this invention is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate which two or more 2nd fields where crystallinity is worse than this 1st field have arranged regularly all over the 1st field which consists of a crystal. A layer is characterized by making it not contact the 2nd field and directly on the principal plane of a substrate.

[0049] In the 13th of this invention - the 15th invention, components are a piezoelectric device besides semiconductor devices (a light emitting device, a photo detector, electronic transit component, etc.), a pyroelectric element, optical elements (the second harmonic generation component using a nonlinear optical crystal etc.), a dielectric element (a ferroelectric component is included), a superconducting element, etc. In this case, by the semiconductor device, various kinds of above semi-conductors can be used for the ingredient of a substrate or a layer, and various kinds of ingredients, such as an oxide, can be used for it by a piezoelectric device, the pyroelectric element, the optical element, the dielectric element, and the superconducting element. About an oxide ingredient, it is Journal of the Society of Japan Vol.103 and No.11(1995) pp.1099-1111, for example. There are many things, such as what was indicated by Materials Science and Engineering B41 (1996) 166-173.

[0050] Two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange invention of the 16th of this invention regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0051] Two or more 2nd fields which have the 2nd average defect density higher than the 1st average

defect density all over the 1st field which consists of a crystal which has the 1st average defect density arrange invention of the 17th of this invention regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0052] Two or more 2nd fields where crystallinity is worse than this 1st field arrange invention of the 18th of this invention regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. By growing up the nitride system group-III-V-semiconductor layer which forms light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0053] Invention of the 19th of this invention The 1st average dislocation density Two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel light emitting device structure It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the nitride system group-III-V-semiconductor layer to form. A nitride system group-III-V-semiconductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0054] Invention of the 20th of this invention The 1st average defect density Two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel light emitting device structure It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the nitride system group-III-V-semiconductor layer to form. A nitride system group-III-V-semiconductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0055] Invention of the 21st of this invention The nitride system group-III-V-semiconductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form light emitting device structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel By making it grow up, it is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0056] Two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange invention of the 22nd of this invention regularly at the 1st spacing in the 1st direction. By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0057] Two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density arrange invention of the 23rd of this invention regularly at the 1st spacing in the 1st direction. By

growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0058] Two or more 2nd fields where crystallinity is worse than this 1st field arrange invention of the 24th of this invention regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. By growing up the nitride system group-III-V-semiconductor layer which forms component structure on the principal plane of the nitride system group-III-V-semiconductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0059] Invention of the 25th of this invention The 1st average dislocation density Two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel component structure It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the nitride system group-III-V-semiconductor layer to form. A nitride system group-III-V-semiconductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0060] Invention of the 26th of this invention The 1st average defect density Two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has] a straight line on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel component structure It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the nitride system group-III-V-semiconductor layer to form. A nitride system group-III-V-semiconductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0061] Invention of the 27th of this invention The nitride system group-III-V-semiconductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the nitride system group-III-V-semiconductor substrate arranged regularly mutually in parallel By making it grow up, it is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0062] Two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange invention of the 28th of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0063] Two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density arrange invention of the 29th of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd

spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0064] Two or more 2nd fields where crystallinity is worse than this 1st field arrange invention of the 30th of this invention regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device by growing up the semi-conductor layer which forms light emitting device structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0065] Invention of the 31st of this invention The 1st average dislocation density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has] a straight line form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0066] Invention of the 32nd of this invention The 1st average defect density By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has] a straight line form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0067] Invention of the 33rd of this invention By growing up the semi-conductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form light emitting device structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semi-conductor light emitting device of having manufactured the semi-conductor light emitting device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0068] Two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange invention of the 34th of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0069] Two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density arrange invention of the 35th of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0070] Two or more 2nd fields where crystallinity is worse than this 1st field arrange invention of the 36th of this invention regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device by growing up the semi-conductor layer which forms component structure on the principal plane of the semi-conductor substrate regularly arranged at the 2nd spacing smaller than

the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0071] Invention of the 37th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density] a straight line form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0072] Invention of the 38th of this invention By growing up the semi-conductor layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density] a straight line form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0073] Invention of the 39th of this invention By growing up the semi-conductor layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the semi-conductor substrate arranged regularly mutually in parallel It is the manufacture approach of a semiconductor device of having manufactured the semiconductor device, and is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0074] Two or more 2nd fields which have the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density arrange invention of the 40th of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A layer is characterized by making it not contact the 2nd field and directly on the principal plane of a substrate.

[0075] Two or more 2nd fields which have the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density. arrange invention of the 41st of this invention regularly at the 1st spacing in the 1st direction. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A layer is characterized by making it not contact the 2nd field and directly on the principal plane of a substrate.

[0076] Two or more 2nd fields where crystallinity is worse than this 1st field arrange invention of the 42nd of this invention regularly at the 1st spacing in the 1st direction all over the 1st field which consists of a crystal. It is the manufacture approach of a component of having manufactured the component by growing up the layer which forms component structure on the principal plane of the substrate regularly arranged at the 2nd spacing smaller than the 1st spacing in the 1st direction and the 2nd direction which intersects perpendicularly. A layer is characterized by making it not contact the 2nd field and directly on the principal plane of a substrate.

[0077] Invention of the 43rd of this invention By growing up the layer in which two or more 2nd fields which extend in the shape of [which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density] a straight line form component structure on the principal plane of the substrate arranged regularly mutually in parallel It is the manufacture approach of a component of having manufactured the component, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0078] Invention of the 44th of this invention By growing up the layer in which two or more 2nd fields

which extend in the shape of [which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density] a straight line form component structure on the principal plane of the substrate arranged regularly mutually in parallel It is the manufacture approach of a component of having manufactured the component, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0079] Invention of the 45th of this invention It is the manufacture approach of a component of having manufactured the component by growing up the layer in which two or more 2nd fields where crystallinity extends in the shape of [bad] a straight line from this 1st field all over the 1st field which consists of a crystal form component structure on the principal plane of the substrate arranged regularly mutually in parallel. A layer is characterized by making it not contact the 2nd field and directly on the principal plane of a substrate.

[0080] In the 16th of this invention – the 45th invention, spacing of the 2nd field which extends the 1st shape of spacing (the 1st spacing) or a straight line of a field of a direction is the same as spacing of the 2nd field described in relation to invention of the 1st of this invention, or array spacing of the 2nd field. [2nd] Moreover, spacing of the 2nd field which extends the 1st shape of spacing (the 1st spacing) or a straight line of a field of a direction is the same as spacing of the 2nd field described in relation to invention of the 1st of this invention except for being 50 micrometers or more, or array spacing of the 2nd field typically. [2nd] the 16th – 18th the 22– of this invention — the 24th, the 28th – 30th the 34– spacing of the 2nd field of the 2nd direction in the 36th, the 40th – the 42nd invention, although it can choose freely in the range smaller than the 1st spacing fundamentally, it is a thing and it is based also on the 2nd area size Generally, 10 micrometers or more 1000 micrometers or less are 20 micrometers or more 200 micrometers or less typically. Furthermore, typically in the field (henceforth a “component field”) which finally serves as a chip by scribing of a substrate, the 2nd seven or more fields which extend the 2nd shape of a train or a straight line of a field of a direction are not included substantially. [2nd] Here, having made into seven a number of the 2nd field of upper limits which extend the 2nd shape of a train or a straight line of a field of a direction takes into consideration that about seven may be contained to a component field by relation with the chip size of a component depending on spacing of the 2nd field which extends the 2nd shape of a train or a straight line of a field of a direction. [2nd] [2nd] Generally the number of the 2nd fields which extend this the 2nd shape of a train or a straight line of a field of a direction is three or less typically in a semi-conductor light emitting device with a small chip size. [2nd]

[0081] In the 16th of this invention – the 45th invention, unless anythings other than the above are contrary to that property, having stated in relation to the 1st of this invention – the 15th invention is materialized.

[0082] Invention of the 46th of this invention The 1st average dislocation density So that a nitride system group-III-V-semiconductor layer may be grown up on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd field which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which it has It is the growth approach of the nitride system group-III-V-semiconductor layer carried out, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0083] Invention of the 47th of this invention The 1st average defect density So that a nitride system group-III-V-semiconductor layer may be grown up on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd field which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which it has It is the growth approach of the nitride system group-III-V-semiconductor layer carried out, and is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0084] All over the 1st field which consists of a crystal, from this 1st field, crystallinity is the growth approach of the nitride system group-III-V-semiconductor layer it was made to grow up a nitride system group-III-V-semiconductor layer on the principal plane of the nitride system group-III-V-semiconductor substrate which has the 2nd bad field, and invention of the 48th of this invention is characterized by making it a nitride system group-III-V-semiconductor layer not contact the 2nd field and directly on the principal plane of a nitride system group-III-V-semiconductor substrate.

[0085] Invention of the 49th of this invention is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the semi-conductor substrate

which has the 2nd field which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0086] Invention of the 50th of this invention is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the semi-conductor substrate which has the 2nd field which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density. A semi-conductor layer is characterized by making it not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0087] All over the 1st field which consists of a crystal, from this 1st field, crystallinity is the growth approach of a semi-conductor layer of having made it grow up a semi-conductor layer on the principal plane of the substrate which has the 2nd bad field, and invention of the 51st of this invention is characterized by making it a semi-conductor layer not contact the 2nd field and directly on the principal plane of a semi-conductor substrate.

[0088] Invention of the 52nd of this invention is the growth approach of a layer of having made it grow up a layer on the principal plane of the substrate which has the 2nd field which has the 2nd average dislocation density higher than the 1st average dislocation density all over the 1st field which consists of a crystal which has the 1st average dislocation density, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0089] Invention of the 53rd of this invention is the growth approach of a layer of having made it grow up a layer on the principal plane of the substrate which has the 2nd field which has the 2nd average defect density higher than the 1st average defect density all over the 1st field which consists of a crystal which has the 1st average defect density, and is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0090] All over the 1st field which consists of a crystal, from this 1st field, crystallinity is the growth approach of a layer of having made it grow up a layer on the principal plane of the substrate which has the 2nd bad field, and invention of the 54th of this invention is characterized by making it a layer not contact the 2nd field and directly on the principal plane of a substrate.

[0091] In the 46th of this invention – the 54th invention, it is the same with having stated in relation to the 1st of this invention – the 15th invention about the ingredient of a nitride system group-III-V-semiconductor substrate, a nitride system group-III-V-semiconductor layer, a semi-conductor substrate, a semi-conductor layer, a substrate, and a layer.

[0092] In this invention constituted as mentioned above The nitride system group-III-V-semiconductor layer which forms light emitting device structure or component structure, A semi-conductor layer or the layer which consists of various kinds of ingredients or on the principal plane of a nitride system group-III-V-semiconductor substrate, a semi-conductor substrate, or a substrate Since he is trying for crystallinity not to contact the 2nd bad field and directly highly [average defect density] more highly [average dislocation density] than the 1st field It can prevent that the bad influence by the 2nd field attains to the nitride system group-III-V-semiconductor layer which forms light emitting device structure or component structure, a semi-conductor layer, or the layer which consists of various kinds of ingredients.

[0093]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the operation gestalt of this invention. In addition, in the complete diagram of an operation gestalt, the sign identically same into a corresponding part is attached. Drawing 1 and drawing 2 show the GaN substrate 1 used in the 1st operation gestalt of this invention, and drawing 1 A is [the sectional view of the maximum contiguity direction of Field B and drawing 2 of perspective view and drawing 1 B] top views. This GaN substrate 1 is field (0001) (C side) bearing in n mold. however, the GaN substrate 1 may be the thing of the Rth page, the Ath page, or M side bearing. In this GaN substrate 1, the field B where average dislocation density consists of a high crystal into the field A where average dislocation density consists of a low crystal has arranged periodically in the shape of a hexagonal lattice. here, although it is common to have an indeterminate multiple column-like configuration as for Field B, in drawing 1 A, it simplifies and has considered as the shape of a cylindrical shape (the following -- the same). In this case, the straight line which connects field B of the maximum contiguity is in agreement with the $\langle 1-100 \rangle$ direction of GaN, and a direction equivalent to it. However, the straight line which connects field B of the maximum contiguity may be made in agreement with the $\langle 11-20 \rangle$ direction of GaN, and a direction equivalent to it.

Field B has penetrated the GaN substrate 1. The thickness of this GaN substrate 1 is 200–600 micrometers. In addition, the broken line of drawing 2 is not a line (physical semantics — it is) which passes and exists really in a thing to show the relative physical relationship of Field B (the following — the same).

[0094] The array period (spacing of the cores of the field B of the maximum contiguity) of Field B is 400 micrometers, and the diameter is 20 micrometers. Moreover, $2 \times 10^6 \text{ cm}^{-2}$ and the average dislocation density of Field B of the average dislocation density of Field A are $1 \times 10^8 \text{ cm}^{-2}$. An example of distribution of radial dislocation density is shown in drawing 3 from the core of Field B. This GaN substrate 1 can be manufactured as follows, using a crystal growth technique. The fundamental crystal growth mechanism used for manufacture of this GaN substrate 1 makes a rearrangement spread by having the slant face which consists of a facet side, growing up it, maintaining that facet side slant face and growing up it, and gathers a position. The field which grew according to this facet side turns into a defective field of a low consistency by migration of a rearrangement. It has the defective field of high density with a clear boundary, and growth is performed, and rearrangements gather to the boundary of the defective field of high density, or its interior, and are disappeared or accumulated in the facet side slant-face lower part here. The configuration of a facet side also changes with configurations of the defective field of this high density. When a defective field is a dot-like, facet sides surround by using the dot as a bottom, and the pit which consists of a facet side is formed. Moreover, when a defective field is a stripe-like, by making a stripe into the bottom of thread, it has a facet side slant face on the both sides, and becomes the facet side of the shape of prism of the triangle pushed down horizontally. Then, by giving grinding and polish on the surface of a growth phase, flattening of the front face can be carried out and it can consider as the gestalt which can be used as a substrate. Moreover, the defective field of the above-mentioned high density may have some conditions. For example, it may consist of polycrystal. Moreover, although it is a single crystal, it may fine-incline to a surrounding low consistency defective field. Moreover, C shaft may be reversed to a surrounding low consistency defective field. In this way, this high density defective field has the clear boundary, and is distinguished the surroundings. Without embedding the facet side around it by having this high density defective field and growing up it, a facet side can be maintained and growth can be gone on. This high density defective field can be generated by forming the seed in the location which forms a high density defective field beforehand, in case crystal growth of the GaN is carried out on a substrate substrate. The layer of an amorphous substance or polycrystal is formed as the kind. Moreover, a high density defective field can be exactly formed in the kind of field by growing up GaN. The concrete manufacture approach of this GaN substrate 1 is as follows. First, a substrate substrate is prepared. Although various substrates can be used as this substrate substrate and general silicon on sapphire is sufficient, when it takes removing at a back process into consideration, it is desirable to use the GaAs substrate which is easy to remove. And it is SiO₂ on this substrate substrate. The kind which consists of film is formed. This kind of configuration can be made into the shape of the shape for example, of a dot, or a stripe. This kind is regular and can be formed. [many] More specifically, a seed is formed in this case by the arrangement corresponding to arrangement of the field B shown in drawing 2. Then, thick-film growth of the GaN is carried out, for example by hydride vapor phase epitaxy (HVPE). The facet side according to the pattern configuration of a seed is formed in the front face of the thick-film layer of GaN after growth. When a seed is a dot-like pattern like this 1st operation gestalt, the pit which consists of a facet side is formed regularly. On the other hand, when a seed is a stripe-like pattern, a prism-like facet side is formed. then, a substrate substrate — removing — further — the thick-film layer of GaN — a grinding process — polish processing is carried out and flattening of the front face is carried out. The GaN substrate 1 can be manufactured by this. Here, the thickness of the GaN substrate 1 can be set up freely. Thus, C side is a principal plane and the manufactured GaN substrate 1 is the substrate with which the high density defective field B of the shape of a dot of predetermined size (the shape of or a stripe), i.e., a field, was regularly formed into it. Compared with Field B, single crystal fields A other than Field B, i.e., a field, serve as low dislocation density.

[0095] A broken line shows typically the rearrangement which exists in drawing 4 to the field B of this GaN substrate 1. If the GaN system semi-conductor layer L is grown up on such a GaN substrate 1 as shown in drawing 5, in this GaN system semi-conductor layer L, a rearrangement will spread from the field B of the GaN substrate 1 of a substrate, and quality will deteriorate.

[0096] Then, in this 1st operation gestalt, as shown in drawing 6, only depth D removes the upper part of Field B by etching. Depth D may be 1–10 micrometers. By carrying out like this, the front face of Field B can fully be separated from the principal plane of the GaN substrate 1. and it is shown in drawing

7 -- as -- this GaN substrate 1 top -- organic metal chemical vapor deposition (MOCVD) -- the GaN system semi-conductor layer L which forms component structure by law etc. is grown up. Since the field which this rearrangement spreads is limited very much to a part, the bad influence by that field can be prevented from attaining to the GaN system semi-conductor layer L which grew on the principal plane of the GaN substrate 1, although a rearrangement spreads from Field B into the part which grew on Field B among this GaN system semi-conductor layer L.

[0097] Etching of Field B can be performed as follows. Generally, nitride system groups III-V semiconductor, such as GaN, are chemically stable, and if acids, such as hot strong bases, such as a sodium hydroxide, a strong hydrochloric acid, and a phosphoric acid, are removed, wet etching will not happen near a room temperature. However, Field B has much defect density high on dislocation density and a general twist target in the GaN substrate 1 compared with Field A. It is imperfect, and from the field A near perfect crystal, since the etch rate is quick, the integrated state of the atom with which this defect density constitutes a crystal from a high field B compared with Field A can etch Field B alternatively to Field A. Although the mask of the front face of Field A may be carried out and this etching may perform it by a resist etc., it can etch Field B alternatively also by carrying out overall etching of the GaN substrate 1. In order to gather an etch rate, you may etch by making temperature of an etching reagent high. As for example, an alkali solution, a phosphoric acid etc. can be used for an etching reagent as a potassium hydroxide (KOH) and an acid. If the example of the etching approach is given, heating maintenance of the KOH solution put in into the etching tub will be carried out at 75 degrees C, the GaN substrate 1 will be dipped for 10 minutes into it, the GaN substrate 1 after etching termination will be taken out, pure-water washing will be performed, and it will dry by the blow of desiccation nitrogen. By this etching, Field B is removable by about 5-micrometer Fukushima. The Ti/Pt film which carried out the laminating of Ti film with a thickness of 20nm and the Pt film with a thickness of 300nm one by one is formed in the rear face of the GaN substrate 1 with vacuum evaporation technique etc. if needed in order to prevent that the rear face of the GaN substrate 1 is etched at the time of this etching, and a field dry area etc. occurs, and it considers as a protective coat, and may be made to etch here after that. In addition, etching removal of this Ti/Pt film can be carried out with an aqua regia.

[0098] In addition to the above-mentioned wet etching, dry etching like reactive ion etching (RIE) may perform etching of Field B, and thermochemical etching by carrying out fixed time amount heating maintenance at the temperature of 800 degrees C or more by the hydrogen ambient atmosphere, an ammonia ambient atmosphere, etc. may perform.

[0099] Next, an example of the concrete manufacture process of the GaN system semiconductor laser using the GaN substrate 1 shown in drawing 6 is explained. Here, the GaN system semiconductor laser which has ridge structure and SCH (Separate Confinement Heterostructure) structure is explained.

[0100] namely, the it top as shown in drawing 8, after defecating the front face of the GaN substrate 1. by thermal cleaning etc. first -- MOCVD -- by law The n mold GaN buffer layer 5, the n mold AlGaIn cladding layer 6, the n mold GaN lightguide 7, the barrier layer 8 of the $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$ multiplex quantum well structure of undoping, the undoping InGaIn degradation prevention layer 9, the p mold AlGaIn cap layer 10, Sequential epitaxial growth of the p mold GaN lightguide 11, the p mold AlGaIn cladding layer 12, and the p mold GaN contact layer 13 is carried out.

[0101] Here, thickness is 0.05 micrometers and, as for the n mold GaN buffer layer 5, Si is doped as an n mold impurity. Thickness is 1.0 micrometers, as for the n mold AlGaIn cladding layer 6, Si is doped as an n mold impurity, and aluminum presentation is 0.08. Thickness is 0.1 micrometers and, as for the n mold GaN lightguide 7, Si is doped as an n mold impurity. For the $\text{In}_x\text{Ga}_{1-x}\text{N}$ layer thickness as for example, a well layer, $x=0.14$ and the $\text{In}_y\text{Ga}_{1-y}\text{N}$ layer thickness as a barrier layer are $[y=0.02$ and the number of wells of the barrier layer 8 of undoping $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ multiplex quantum well structure] 3 in 7nm at 3.5nm.

[0102] An undoping InGaIn degradation prevention layer 9 has the gray dead structure in which In presentation carries out monotone reduction gradually from the field which is in contact with the barrier layer 8 toward the field which is in contact with the p mold AlGaIn cap layer 9, and the In presentation's in the field which is in contact with the barrier layer 8 corresponds with the In presentation y of the $\text{In}_y\text{Ga}_{1-y}\text{N}$ layer as a barrier layer of a barrier layer 8, and the In presentation in the field which is in contact with the p mold AlGaIn cap layer 10 has become 0. The thickness of this undoping InGaIn degradation prevention layer 9 is 20nm.

[0103] Thickness is 10nm and, as for the p mold AlGaIn cap layer 10, magnesium (Mg) is doped as a p mold impurity. aluminum presentation of this p mold AlGaIn cap layer 10 is 0.2. This p mold AlGaIn cap

layer 10 is for preventing overflow of the carrier (electron) from a barrier layer 8 while preventing In ***ing and deteriorating from a barrier layer 8 at the time of growth of the p mold GaN lightguide 11, the p mold AlGaIn cladding layer 12, and the p mold GaN contact layer 13. Thickness is 0.1 micrometers and, as for the p mold GaN lightguide 11, Mg is doped as a p mold impurity. Thickness is 0.5 micrometers, as for the p mold AlGaIn cladding layer 12, Mg is doped as a p mold impurity, and aluminum presentation is 0.08. Thickness is 0.1 micrometers and, as for the p mold GaN contact layer 13, Mg is doped as a p mold impurity.

[0104] moreover In Growth temperature of the n mold GaN buffer layer 5 which is a layer which is not included, the n mold AlGaIn cladding layer 6, the n mold GaN lightguide 7, the p mold AlGaIn cap layer 10, the p mold GaN lightguide 11, the p mold AlGaIn cladding layer 12, and the p mold GaN contact layer 13 is made into about 1000 degrees C. Growth temperature of the barrier layer 8 of the Ga_{1-x}In_xN/Ga_{1-y}In_yN multiplex quantum well structure which is a layer containing In is made into 700–800 degrees C, for example, 730 degrees C. The growth temperature of the undoping InGaIn degradation prevention layer 9 sets it at the growth initiation time as 730 degrees C as well as the growth temperature of a barrier layer 8, and is raised after that, for example, linearly, and it is it at the growth termination time, and is made to become 835 degrees C as well as the growth temperature of the p mold AlGaIn cap layer 10.

[0105] The growth raw material of these GaN system semi-conductor layers is NH₃ as trimethylaluminum (CH₃) (3 aluminum, TMA) and a raw material of In as a raw material of trimethylgallium (CH₃) (3 Ga, TMG) and aluminum as a raw material of Ga considering trimethylindium (CH₃) (3 In, TMI) as a raw material of N. It uses. Moreover, as carrier gas, it is H₂, for example. It uses. About a dopant, a mono silane (SiH₄) is used as an n mold dopant, and for example, screw = methylcyclopentadienyl magnesium (CH₃ C five H₄) (2 Mg) or screw = magnesium cyclopentadienyl (C five H₅) (2 Mg) is used as a p mold dopant.

[0106] Next, the GaN substrate 1 into which the GaN system semi-conductor layer was grown up as mentioned above is picked out from an MOCVD system. All over the p mold GaN contact layer 13, and for example, a CVD method, a vacuum deposition method, SiO₂ whose thickness is 0.1 micrometers by the sputtering method etc. After forming the film (not shown), This SiO₂ Form the resist pattern (not shown) of the predetermined configuration corresponding to the configuration of the ridge section with lithography on the film, and this resist pattern is used as a mask. for example, the wet etching using the etching reagent of a fluoric acid system or CF₄ CHF₃ etc. -- the RIE method using the etching gas containing a fluorine -- SiO₂ The film is etched and it considers as the configuration corresponding to the ridge section.

[0107] Next, this SiO₂ By etching by the RIE method by using the film as a mask by predetermined Mr. Fukashi of the thickness direction of the p mold AlGaIn cladding layer 12, as shown in drawing 9, the ridge 14 which extends in the <1-100> direction is formed. The width of face of this ridge 14 is 3 micrometers. For example, chlorine-based gas is used as etching gas of this RIE.

[0108] Next, SiO₂ used as an etching mask SiO₂ whose thickness is 0.3 micrometers by the CVD method, the vacuum deposition method, the sputtering method, etc. all over a substrate after carrying out etching removal of the film An insulator layer 15 like the film is formed. This insulator layer 15 is a thing for electric insulation and a surface protection.

[0109] Next, a wrap resist pattern (not shown) is formed for the front face of the insulator layer 15 of the field except p lateral electrode formation field with lithography. Next, opening 15a is formed by etching an insulator layer 15 by using this resist pattern as a mask.

[0110] Next, in the condition [having left the resist pattern], after carrying out sequential formation of for example, Pd film, Pt film, and the Au film with vacuum evaporation technique all over a substrate, a resist pattern is removed with Pd film, Pt film, and Au film which were formed on it (lift off). The p lateral electrode 16 which contacted the p mold GaN contact layer 13 through opening 15a of an insulator layer 15 by this is formed. Here, thickness of Pd film which constitutes this p lateral electrode 16, Pt film, and Au film is set to 10nm, 100nm, and 300nm, respectively, for example. Next, alloy processing for carrying out ohmic contact of the p lateral electrode 16 is performed.

[0111] Next, sequential formation of for example, Ti film, Pt film, and the Au film is carried out with a vacuum deposition method, and the n lateral electrode 17 of Ti/Pt/Au structure is formed in the rear face of the GaN substrate 1. Here, thickness of Ti film which constitutes this n lateral electrode 17, Pt film, and Au film is set to 10nm, 50nm, and 100nm, respectively, for example. Next, alloy processing for carrying out ohmic contact of the n lateral electrode 17 is performed.

[0112] Next, as shown in drawing 10, along with the border line of the component field 2 (lot surrounded

as the thick continuous line), cleavage performs scribing of the GaN substrate 1 with which laser structure was formed as mentioned above, it is processed into the laser bar 4, and both the resonators end face is formed. Next, after performing end-face coating to these resonator end faces, again, cleavage etc. performs scribing of this laser bar 4, and it is chip-sized.

[0113] In drawing 10, the GaN system semiconductor laser whose gray rectangle is one is expressed, the straight line drawn near [the] the center is the laser stripe 3, and this is equivalent to the location of a luminescence field. Furthermore, the rectangle drawn with the broken line with which they stood in a row expresses the laser bar 4, and the long side of this laser bar 4 is equivalent to a resonator end face.

[0114] The size of GaN system semiconductor laser is 600micrometerx346micrometer, and a longitudinal direction (the direction of a long side) divides a lengthwise direction (the direction of a shorter side) into the GaN system semiconductor laser of the size by performing SUKURABIN of a substrate, respectively along with the straight line which does not pass along Field B along with the straight line which connects Field B in the example shown in drawing 10.

[0115] In this case, since Field B will exist only in a part for the edge surface part of the long side of each GaN system semiconductor laser, it is avoidable that the effect of Field B reaches a luminescence field by designing a component so that it may be located near [to which the laser stripe 3 connects the middle points of a shorter side] the straight line. Although formed in an end face by performing scribing of a substrate by cleavage etc. along with the straight line of the lengthwise direction in drawing 10 about the mirror of a resonator, since the straight line does not pass along Field B, it is not influenced of the rearrangement in Field B. Therefore, a luminescence property is good and can obtain reliable GaN system semiconductor laser. The GaN system semiconductor laser which has the ridge structure and SCH structure which are made into the purpose by the above as shown in drawing 11 is manufactured.

[0116] As mentioned above, after according to this 1st operation gestalt the field B where average dislocation density is high removed the upper part of Field B by etching among the GaN substrates 1 periodically arranged in the shape of a hexagonal lattice and separates the front face of Field B from the principal plane of the GaN substrate 1 in the field A where average dislocation density is low Since the GaN system semi-conductor layer which forms laser structure on this GaN substrate 1 is grown up, the bad influence of Field B can be prevented from attaining to the GaN system semi-conductor layer used for formation of laser structure. For this reason, a luminescence property is good and can realize GaN system semiconductor laser with it. [it is reliable and long lasting]

[0117] In addition, since according to this 1st operation gestalt the undoping InGaIn degradation prevention layer 9 is formed in contact with a barrier layer 8 and the p mold AlGaIn cap layer 10 is formed in contact with this undoping InGaIn degradation prevention layer 9 While being able to ease sharply the stress generated in a barrier layer 8 by the p mold AlGaIn cap layer 10 by the undoping InGaIn degradation prevention layer 9, it can control effectively that Mg used as a p mold dopant of p type layer is spread in a barrier layer 7.

[0118] Next, the 2nd operation gestalt of this invention is explained. As shown in drawing 12, in this 2nd operation gestalt, etching removes all of the fields B of the GaN substrate 1, and that part is emasculated completely. and it is shown in drawing 13 -- as -- this GaN substrate 1 top -- MOCVD -- the GaN system semi-conductor layer L is grown up by law etc. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 2nd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0119] Next, the 3rd operation gestalt of this invention is explained. Although etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt in this 3rd operation gestalt as shown in drawing 14, dry etching, such as RIE, performs this etching in this case. then, growth conditions in which growth does not occur on Field B although growth occurs on Field A using the crystallinity of Field B being worse than the crystallinity of Field A -- MOCVD -- the GaN system semi-conductor layer L is grown up by law etc. Consequently, the GaN system semi-conductor layer L can grow only on the principal plane A of the GaN substrate 1, i.e., a field. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 3rd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0120] Next, the 4th operation gestalt of this invention is explained. As shown in drawing 15, in this 4th operation gestalt, etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt. Then, although growth occurs on Field A using the crystallinity of Field B being worse than the crystallinity of Field A, on Field B, longitudinal direction growth of the GaN system semi-conductor layer L is carried out on growth conditions in which growth does not occur.

Consequently, the GaN system semi-conductor layer L carries out longitudinal direction growth from on the principal plane A of the GaN substrate 1, i.e., a field, it can meet in the upper part of Field B, and, finally flattening of the front face can be carried out. However, the GaN system semi-conductor layer L is not made to meet, but it is also good not to carry out flattening. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 4th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0121] Next, the 5th operation gestalt of this invention is explained. It is SiO₂ so that the part of Field B may be completely covered among the principal planes of the GaN substrate 1 in this 5th operation gestalt, as shown in drawing 16. The insulator layers 18, such as film, are formed. This insulator layer 18 is completely good also as a wrap stripe configuration in the field B further located in a line with the single tier also as a polygon of the square which may be what kind of configuration as long as it can cover Field B completely, for example, includes Field B also as circular according to the configuration of Field B, and others, and the field A of a part in the meantime. next, it is shown in drawing 17 -- as -- this GaN substrate 1 top -- MOCVD -- the GaN system semi-conductor layer L is grown up by law etc. In order that an insulator layer 18 may play the role of a growth mask at this time, the GaN system semi-conductor layer L grows only on the principal plane of the GaN substrate 1 in the part which is not covered by this insulator layer 18. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 5th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0122] Next, the 6th operation gestalt of this invention is explained. It is SiO₂ so that the part of Field B may be completely covered among the principal planes of the GaN substrate 1 like the 5th operation gestalt in this 6th operation gestalt, as shown in drawing 18. The insulator layers 18, such as film, are formed. next, pass the process shown in drawing 18 and drawing 19 -- the GaN substrate 1 top -- MOCVD -- longitudinal direction growth of the GaN system semi-conductor layer L is carried out by ELO using law etc. At this time, the GaN system semi-conductor layer L which carries out longitudinal direction growth on an insulator layer 18 meets. However, you may make it not make the GaN system semi-conductor layer L meet. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 6th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0123] Next, the 7th operation gestalt of this invention is explained. As shown in drawing 20, in this 7th operation gestalt, etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt. Next, it is SiO₂ to the whole surface of the GaN substrate 1. The insulator layers 18, such as film, are formed and the removal section of Field B is buried. Next, as shown in drawing 21, it leaves this insulator layer 18 only to the removal section of Field B by performing etchback of an insulator layer 18 by the RIE method. Then, the GaN system semi-conductor layer L is grown up on the GaN substrate 1 like the 5th or 6th operation gestalt. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 7th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0124] Next, the 8th operation gestalt of this invention is explained. As shown in drawing 22, in this 8th operation gestalt, etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt. Next, it is SiO₂ to the whole surface of the GaN substrate 1. The insulator layers 18, such as film, are formed. At this time, the thickness of this insulator layer 18 presupposes that it is small to extent with which the removal section of Field B is not buried completely. Next, the insulator layer 18 on Field A is removed by performing etchback of an insulator layer 18, for example by the RIE method. Then, the GaN system semi-conductor layer L is grown up on the GaN substrate 1 like the 5th or 6th operation gestalt. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 8th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0125] Next, the 9th operation gestalt of this invention is explained. As shown in drawing 23, in this 9th operation gestalt, etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt. Next, it is SiO₂ to the whole surface of the GaN substrate 1. After forming the insulator layers 18, such as film, and burying the removal section of Field B, patterning of this insulator layer 18 is carried out to the same configuration as the 5th operation gestalt by etching. Then, the GaN system semi-conductor layer L is grown up on the GaN substrate 1 like the 5th or 6th operation gestalt. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 9th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0126] Next, the 10th operation gestalt of this invention is explained. Although etching removal of the upper part of the field B of the GaN substrate 1 is carried out like the 1st operation gestalt in this 10th operation gestalt as shown in drawing 24, in this case, the etching depth is fully large, for example, is set to about dozens of micrometers. Next, as shown in drawing 25, it is SiO₂ to the whole surface of the GaN substrate 1. The film etc. forms insulator layer 18. At this time, since the removal section of Field B is deep, this removal section is not completely buried by the insulator layer 18, but presupposes that a cavity is formed in the interior. Next, the insulator layer 18 on Field A is removed by performing etchback of an insulator layer 18, for example by the RIE method. Then, the GaN system semi-conductor layer L is grown up on the GaN substrate 1 like the 5th or 6th operation gestalt. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 10th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0127] Next, the 11th operation gestalt of this invention is explained. Although it is the same as the 1st operation gestalt in this 11th operation gestalt that Field B has arranged periodically in the shape of a hexagonal lattice in the field A of the GaN substrate 1 as shown in drawing 27 It differs from the 1st operation gestalt that the field C of the in-between average dislocation density of the average dislocation density of Field A and the average dislocation density of Field B is formed as a transition region between Field A and Field B. More than $1 \times 10^8 \text{ cm}^{-2}$ and the average dislocation density of Field C of less than $[2 \times 10^6 \text{ cm}^{-2}]$ and the average dislocation density of Field B are smaller than $1 \times 10^8 \text{ cm}^{-2}$, and its average dislocation density of Field A is larger than $2 \times 10^6 \text{ cm}^{-2}$, for example, (1-2), specifically, is about $1 \times 10^7 \text{ cm}^{-2}$. The array period (spacing of the cores of the field B of the maximum contiguity) of Field B is 300 micrometers, and the diameter is 20 micrometers. Moreover, the diameter of Field C is 120 micrometers.

[0128] In this 11th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 1st operation gestalt. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 11th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0129] Next, the 12th operation gestalt of this invention is explained. In this 12th operation gestalt, etching removes all of both the field B of the GaN substrate 1, and the field C to etching having removed all of the fields B of the GaN substrate 1 in the 2nd operation gestalt. Since things other than the above are the same as that of the 1st and 11th operation gestalten, explanation is omitted. Also according to this 12th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0130] Next, the 13th operation gestalt of this invention is explained. In this 13th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 3rd operation gestalt. Since things other than the above are the same as that of the 1st and 11th operation gestalten, explanation is omitted. Also according to this 13th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0131] Next, the 14th operation gestalt of this invention is explained. In this 14th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 4th operation gestalt. Since things other than the above are the same as that of the 1st and 11th operation gestalten, explanation is omitted. Also according to this 14th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0132] Next, the 15th operation gestalt of this invention is explained. It is a wrap by the insulator layer 18 in both the field B of the GaN substrate 1, and the field C to having covered the field B of the GaN substrate 1 by the insulator layer 18 in the 5th operation gestalt in this 15th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 15th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0133] Next, the 16th operation gestalt of this invention is explained. It is a wrap by the insulator layer 18 in both the field B of the GaN substrate 1, and the field C to having covered the field B of the GaN substrate 1 by the insulator layer 18 in the 6th operation gestalt in this 16th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 16th operation gestalt, the same advantage as the 1st

operation gestalt can be acquired.

[Q134] Next, the 17th operation gestalt of this invention is explained. In this 17th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 7th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 17th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0135] Next, the 18th operation gestalt of this invention is explained. In this 18th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 8th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 18th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0136] Next, the 19th operation gestalt of this invention is explained. In this 19th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 9th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 19th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0137] Next, the 20th operation gestalt of this invention is explained. In this 20th operation gestalt, etching removes the upper part of both the field B of the GaN substrate 1, and the field C to etching having removed the upper part of the field B of the GaN substrate 1 in the 10th operation gestalt. Since things other than the above are the same as that of the 1st, 5th, and 11th operation gestalten, explanation is omitted. Also according to this 20th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0138] Next, the 21st operation gestalt of this invention is explained. As shown in drawing 28, unlike the 1st operation gestalt, in this 21st operation gestalt, the border line of the rectangular component field 2 consists of a straight line which connects the cores of Field B also to that long side and shorter side. The location of the laser stripe 3 is made into the line top which connects the middle points of the shorter side of the component field 2 also in this case. By carrying out like this, it is avoidable that the effect of Field B reaches a luminescence field.

[0139] In this 21st operation gestalt, that the mirror of a resonator is formed differs from the 1st operation gestalt by performing scribing by cleavage along with the border line of the component field 2 which consists of a straight line which connects the cores of Field B. Here, since Field B has many rearrangements, it is thought that it is easy to break from Field A. Therefore, if scribing is performed along with the straight line which connects field B, so to speak, cleavage also of the part of Field A will be finely carried out for Field B sure enough in a role like a perforation. Under the present circumstances, although it does not necessarily become flat since the end face of the part of Field B has many rearrangements, the end face of the part of the field A in the meantime becomes flat.

[0140] Although it is a part for the edge surface part of the laser stripe 3 that surface smoothness is needed, if it is arrangement as shown in drawing 28, the end face of the part of Field B does not have ***** in a luminescence property etc. in a bad influence. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. Also according to this 21st operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0141] Next, the 22nd operation gestalt of this invention is explained. Drawing 29 is the top view showing the GaN substrate used in this 22nd operation gestalt. As shown in drawing 29, in this 22nd operation gestalt, the component field 2 is demarcated so that Field B may not be included in the laser stripe 3. Here, the laser stripe 3 has separated 50 micrometers or more from Field B. In this case, two fields B will be included in the component field 2. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. According to this 22nd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0142] Next, the 23rd operation gestalt of this invention is explained. Drawing 30 is the top view showing the GaN substrate used in this 23rd operation gestalt. This GaN substrate 1 is C side bearing in n mold. however, the GaN substrate 1 may be the thing of the Rth page, the Ath page, or M side bearing. In this GaN substrate 1, in the <11-20> direction of GaN, it arranged periodically at intervals of 400 micrometers, and the field B where average dislocation density consists of a high crystal into the field A where average dislocation density consists of a low crystal has arranged periodically at intervals of 20 -

100 micrometers for example, in the $\langle 1-100 \rangle$ direction which intersects perpendicularly with the $\langle 11-20 \rangle$ direction. However, the $\langle 11-20 \rangle$ direction and the $\langle 1-100 \rangle$ direction may be replaced.

[0143] In this 23rd operation gestalt, as shown in drawing 31, the component field 2 is demarcated so that a passage and the laser stripe 3 may be located near the center of the field between the trains of this field B by the end face of a pair parallel to the laser stripe 3 in the train of the field B of the $\langle 1-100 \rangle$ direction. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. According to this 23rd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0144] Next, the 24th operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 23rd operation gestalt is used in this 24th operation gestalt as shown in drawing 32, it is the point which one end face parallel to the laser stripe 3 passes along the train of the field B of the $\langle 1-100 \rangle$ direction, and passes along the location where the other-end side separated from the train of this field B, and differs from the 23rd operation gestalt. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 23rd and 1st operation gestalten, explanation is omitted. According to this 24th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0145] Next, the 25th operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 23rd operation gestalt is used in this 25th operation gestalt as shown in drawing 33 The end face of a pair parallel to the laser stripe 3 differs from the 23rd operation gestalt in that the component field 2 is demarcated so that all may be located between the trains of the field B of the $\langle 1-100 \rangle$ direction and the laser stripe 3 may be located near the center of the field between the trains of this field B. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 23rd and 1st operation gestalten, explanation is omitted. According to this 25th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0146] Next, the 26th operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 23rd operation gestalt is used in this 26th operation gestalt as shown in drawing 34 One end face parallel to the laser stripe 3 the train of the field B of the $\langle 1-100 \rangle$ direction A passage, It differs from the 23rd operation gestalt at the point passing through the location where it was located between the trains and the trains of the next field B of the field B where an other-end side adjoins the train of this field B immediately, and the laser stripe 3 separated 50 micrometers or more from the train of Field B. In this case, in the component field 2, the train of Field B is included one. Since things other than the above are the same as that of the 23rd and 1st operation gestalten, explanation is omitted. According to this 26th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0147] Next, the 27th operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 23rd operation gestalt is used in this 27th operation gestalt as shown in drawing 35 The location where one end face parallel to the laser stripe 3 separated from the train of the field B of the $\langle 1-100 \rangle$ direction A passage, It differs from the 23rd operation gestalt at the point passing through the location where it was located between the trains and the trains of the next field B of the field B where an other-end side adjoins the train of this field B immediately, and the laser stripe 3 separated 50 micrometers or more from the train of Field B. In this case, in the component field 2, the train of Field B is included one. Since things other than the above are the same as that of the 23rd and 1st operation gestalten, explanation is omitted. According to this 27th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0148] Next, the 28th operation gestalt of this invention is explained. Drawing 36 is the top view showing the GaN substrate 1 used in this 28th operation gestalt. The field B of this GaN substrate 1 is the same as that of the GaN substrate 1 used in the 10th operation gestalt except for having arranged periodically at intervals of 200 micrometers in the $\langle 11-20 \rangle$ direction of GaN. In this case, in the component field 2, the train of Field B is included two.

[0149] As shown in drawing 36, in this 28th operation gestalt, it is located near the center of the field between the trains of the field B where the laser stripe 3 adjoins, and the end face of a pair parallel to the laser stripe 3 is located near those centers that are the fields between the trains of the outside field B immediately as the train of these fields B. Since things other than the above are the same as that of the 23rd and 1st operation gestalten, explanation is omitted. According to this 28th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0150] Next, the 29th operation gestalt of this invention is explained. Drawing 37 is the top view showing

the GaN substrate used in this 29th operation gestalt. This GaN substrate 1 is C side bearing in n mold. However, the GaN substrate 1 may be the thing of the Rth page, the Ath page, or M side bearing. In this GaN substrate 1, average dislocation density consisted of a high crystal into the field A where average dislocation density consists of a low crystal, and it has arranged periodically for example, at intervals of 400 micrometers in the $\langle 11-20 \rangle$ direction in which the $\langle 1-100 \rangle$ direction and the field B which extends in the $\langle 1-100 \rangle$ direction of GaN at a line cross at right angles. However, the $\langle 1-100 \rangle$ direction and the $\langle 11-20 \rangle$ direction may be replaced.

[0151] In this 29th operation gestalt, as shown in drawing 38, the component field 2 is demarcated so that a passage and the laser stripe 3 may be located near the center of the field between this field B by the end face of a pair parallel to the laser stripe 3 in Field B. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 1st operation gestalt, explanation is omitted. According to this 29th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0152] Next, the 30th operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 29th operation gestalt is used in this 30th operation gestalt as shown in drawing 39, it is the point which one end face parallel to the laser stripe 3 passes along Field B, and passes along the location where the other-end side separated from the train of this field B, and differs from the 29th operation gestalt. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 29th and 1st operation gestalten, explanation is omitted. According to this 30th operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0153] Next, the 31st operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 29th operation gestalt is used in this 31st operation gestalt as shown in drawing 40, it is the point that the component field 2 is demarcated so that each end face of a pair parallel to the laser stripe 3 may be located between Fields B and the laser stripe 3 may be located near the center of the field between this field B, and differs from the 29th operation gestalt. In this case, in the component field 2, the train of Field B is not included substantially. Since things other than the above are the same as that of the 29th and 1st operation gestalten, explanation is omitted. According to this 31st operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0154] Next, the 32nd operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 29th operation gestalt is used in this 32nd operation gestalt as shown in drawing 41 It differs from the 29th operation gestalt at the point passing through the location where one end face parallel to the laser stripe 3 passed along Field B, and it was located between the field B where an other-end side adjoins the train of this field B immediately, and its next field B, and the laser stripe 3 separated 50 micrometers or more from Field B. In this case, one field B is included in the component field 2. Since things other than the above are the same as that of the 29th and 1st operation gestalten, explanation is omitted. According to this 32nd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0155] Next, the 33rd operation gestalt of this invention is explained. Although the same GaN substrate 1 as the 29th operation gestalt is used in this 33rd operation gestalt as shown in drawing 42 It differs from the 29th operation gestalt at the point passing through the location where it passed along the location where one end face parallel to the laser stripe 3 separated from Field B, and was located between the field B where an other-end side adjoins this field B immediately, and its next field B, and the laser stripe 3 separated 50 micrometers or more from Field B. In this case, in the component field 2, the train of Field B is included one. Since things other than the above are the same as that of the 29th and 1st operation gestalten, explanation is omitted. According to this 33rd operation gestalt, the same advantage as the 1st operation gestalt can be acquired.

[0156] Next, the 34th operation gestalt of this invention is explained. Drawing 43 is the top view showing the GaN substrate 1 used in this 34th operation gestalt. The field B of this GaN substrate 1 is the same as that of the GaN substrate 1 used in the 29th operation gestalt except for having arranged periodically at intervals of 200 micrometers in the $\langle 11-20 \rangle$ direction of GaN. In this case, in the component field 2, the train of Field B is included two.

[0157] As shown in drawing 43, in this 34th operation gestalt, it is located near the center of the field between the fields B where the laser stripe 3 adjoins, and the end face of a pair parallel to the laser stripe 3 is located near those centers that are the fields between the outside fields B immediately as these fields B. Since things other than the above are the same as that of the 29th and 1st operation gestalten, explanation is omitted. According to this 34th operation gestalt, the same advantage as the

1st operation gestalt can be acquired.

[0158] As mentioned above, although the operation gestalt of this invention was explained concretely, this invention is not limited to an above-mentioned operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0159] For example, it may not pass over the numeric value mentioned in the above-mentioned operation gestalt, structure, a substrate, a raw material, a process, etc. for an example to the last, but a different numeric value from these, structure, a substrate, a raw material, a process, etc. may be used if needed.

[0160] In an above-mentioned operation gestalt, although the case where this invention was applied to manufacture of the GaN system semiconductor laser of SCH structure was explained, specifically That this invention may be applied to manufacture of the GaN system semiconductor laser of for example, DH (Double Heterostructure) structure, of course You may apply to manufacture of GaN system light emitting diode, and may apply to the electronic transit component using nitride system groups III-V semiconductor, such as the GaN system FET and a GaN system heterojunction bipolar transistor (HBT), further.

[0161] Moreover, in an above-mentioned operation gestalt, the GaN substrate 1 may be formed on different-species substrates, such as silicon on sapphire.

[0162] moreover, an above-mentioned operation gestalt -- setting -- growth of a GaN system semiconductor layer -- MOCVD -- although law is used -- growth of a GaN system semiconductor layer -- hydride vapor phase epitaxial growth or halide vapor phase epitaxial growth (HVPE), and molecular beam epitaxy (MBE) -- other growth approaches, such as law, may be used.

[0163] furthermore, an above-mentioned operation gestalt -- setting -- MOCVD -- as the carrier gas at the time of growing up by law -- H₂ although gas is used -- the need -- responding -- other carrier gas, H₂ [for example,], N₂ Or mixed gas with helium, Ar gas, etc. may be used. Moreover, in an above-mentioned operation gestalt, although the resonator end face is formed by cleavage, a resonator end face may be formed by dry etching like RIE.

[0164]

[Effect of the Invention] The nitride system group-III-V-semiconductor layer which forms light emitting device structure or component structure according to this invention as explained above, A semiconductor layer or the layer which consists of various kinds of ingredients or on the principal plane of a nitride system group-III-V-semiconductor substrate, a semiconductor substrate, or a substrate Since he is trying for crystallinity not to contact the 2nd bad field and directly highly [average defect density] more highly [average dislocation density] than the 1st field The bad influence by the 2nd field can be prevented from attaining to the nitride system group-III-V-semiconductor layer which forms light emitting device structure or component structure, a semiconductor layer, or the layer which consists of various kinds of ingredients. For this reason, properties, such as a luminescence property, are good, a long lasting reliable semiconductor light emitting device or a reliable long lasting property is good, a long lasting reliable semiconductor device or a reliable long lasting property is good, and various kinds of reliable long lasting components can be realized.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view and sectional view showing the GaN substrate used in the 1st operation gestalt of this invention.

[Drawing 2] It is the top view showing the GaN substrate used in the 1st operation gestalt of this invention.

[Drawing 3] It is the approximate line Fig. showing an example of distribution of dislocation density [/ near the field B of the GaN substrate used in the 1st operation gestalt of this invention].

[Drawing 4] It is a sectional view for explaining the example of a comparison with the 1st operation gestalt of this invention.

[Drawing 5] It is a sectional view for explaining the example of a comparison with the 1st operation gestalt of this invention.

[Drawing 6] It is the sectional view showing the GaN substrate used in the 1st operation gestalt of this invention.

[Drawing 7] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 1st operation gestalt of this invention.

[Drawing 8] It is a sectional view for explaining the manufacture approach of the GaN system semiconductor laser by the 1st operation gestalt of this invention.

[Drawing 9] It is a sectional view for explaining the manufacture approach of the GaN system semiconductor laser by the 1st operation gestalt of this invention.

[Drawing 10] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 1st operation gestalt of this invention.

[Drawing 11] It is a sectional view for explaining the manufacture approach of the GaN system semiconductor laser by the 1st operation gestalt of this invention.

[Drawing 12] It is the sectional view showing the GaN substrate used in the 2nd operation gestalt of this invention.

[Drawing 13] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 2nd operation gestalt of this invention.

[Drawing 14] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 3rd operation gestalt of this invention.

[Drawing 15] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 4th operation gestalt of this invention.

[Drawing 16] It is the sectional view showing the GaN substrate used in the 5th operation gestalt of this invention.

[Drawing 17] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 5th operation gestalt of this invention.

[Drawing 18] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 6th operation gestalt of this invention.

[Drawing 19] It is the sectional view showing the condition of having grown up the GaN system semiconductor layer on the GaN substrate in the 6th operation gestalt of this invention.

[Drawing 20] It is a sectional view for explaining the manufacture approach of the GaN substrate used in the 7th operation gestalt of this invention.

[Drawing 21] It is a sectional view for explaining the manufacture approach of the GaN substrate used in the 7th operation gestalt of this invention.

[Drawing 22] It is the sectional view showing the GaN substrate used in the 8th operation gestalt of this invention.

invention.

[Drawing 23] It is the sectional view showing the GaN substrate used in the 9th operation gestalt of this invention.

[Drawing 24] It is a sectional view for explaining the manufacture approach of the GaN substrate used in the 10th operation gestalt of this invention.

[Drawing 25] It is a sectional view for explaining the manufacture approach of the GaN substrate used in the 10th operation gestalt of this invention.

[Drawing 26] It is a sectional view for explaining the manufacture approach of the GaN substrate used in the 10th operation gestalt of this invention.

[Drawing 27] It is the top view showing the GaN substrate used in the 11th operation gestalt of this invention.

[Drawing 28] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 21st operation gestalt of this invention.

[Drawing 29] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 22nd operation gestalt of this invention.

[Drawing 30] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 23rd operation gestalt of this invention.

[Drawing 31] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 23rd operation gestalt of this invention.

[Drawing 32] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 24th operation gestalt of this invention.

[Drawing 33] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 25th operation gestalt of this invention.

[Drawing 34] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 26th operation gestalt of this invention.

[Drawing 35] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 27th operation gestalt of this invention.

[Drawing 36] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 28th operation gestalt of this invention.

[Drawing 37] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 29th operation gestalt of this invention.

[Drawing 38] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 29th operation gestalt of this invention.

[Drawing 39] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 30th operation gestalt of this invention.

[Drawing 40] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 31st operation gestalt of this invention.

[Drawing 41] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 32nd operation gestalt of this invention.

[Drawing 42] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 33rd operation gestalt of this invention.

[Drawing 43] It is a top view for explaining the manufacture approach of the GaN system semiconductor laser by the 34th operation gestalt of this invention.

[Description of Notations]

1 ... a GaN substrate and 2 ... a component field and 3 ... a laser stripe and 5 ... an n mold GaN buffer layer and 6 ... an n mold AlGaIn cladding layer and 7 ... an n mold GaN lightguide and 8 ... a barrier layer and 9 ... an undoping InGaIn degradation prevention layer and 10 ... a p mold AlGaIn cap layer and 11 ... a p mold GaN lightguide and 12 ... a p mold AlGaIn cladding layer and 13 ... a p mold GaN contact layer and 14 ... a ridge, and 15 and 18 -- ... -- an insulator layer and 16 -- ... -- n lateral electrode and 17 ... -- p lateral electrode

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-124573
(P2003-124573A)

(43)公開日 平成15年4月25日(2003.4.25)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 S 5/323	6 1 0	H 0 1 S 5/323 6 1 0	5 F 0 0 3
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 0 4
21/3065		21/308	C 5 F 0 4 1
21/308		33/00	C 5 F 0 4 3
21/331		29/72	H 5 F 0 4 5

審査請求 未請求 請求項の数101 O L (全 35 頁) 最終頁に続く

(21)出願番号 特願2001-315704(P2001-315704)

(22)出願日 平成13年10月12日(2001.10.12)

(71)出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 篠嶋 克典
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 100082762
弁理士 杉浦 正知

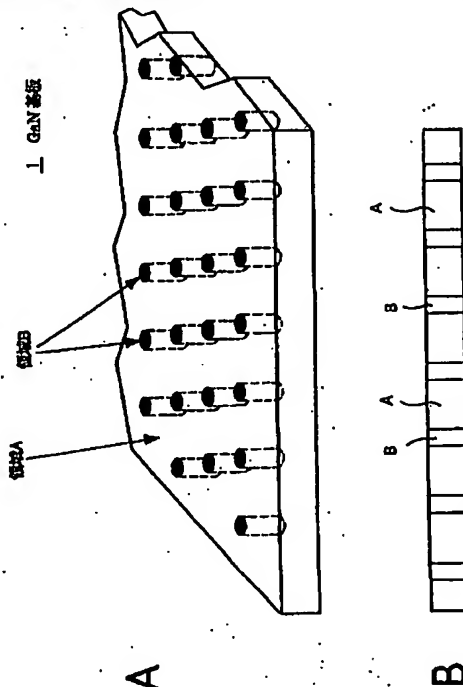
最終頁に続く

(54)【発明の名称】 半導体発光素子の製造方法、半導体素子の製造方法、素子の製造方法、窒化物系ⅢⅢ-V族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法

(57)【要約】

【課題】 発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子や特性が良好で信頼性も高く長寿命の半導体素子を実現する。

【解決手段】 第1の平均転位密度を有する結晶からなる第1の領域A中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域Bが規則的に配列している窒化物系ⅢⅢ-V族化合物半導体基板1の主面上に発光素子構造あるいは素子構造を形成する窒化物系ⅢⅢ-V族化合物半導体層を成長させることにより半導体発光素子あるいは半導体素子を製造する際に、窒化物系ⅢⅢ-V族化合物半導体層が窒化物系ⅢⅢ-V族化合物半導体基板1の主面上で第2の領域Bと直接接触しないようにする。



【特許請求の範囲】

【請求項 1】 第 1 の平均転位密度を有する結晶からなる第 1 の領域中に上記第 1 の平均転位密度より高い第 2 の平均転位密度を有する複数の第 2 の領域が規則的に配列している窒化物系 III-V 族化合物半導体基板の主面上に発光素子構造を形成する窒化物系 III-V 族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であつて、

上記窒化物系 III-V 族化合物半導体層が上記窒化物系 III-V 族化合物半導体基板の主面上で上記第 2 の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 2】 上記窒化物系 III-V 族化合物半導体層を成長させる前に上記第 2 の領域を上記窒化物系 III-V 族化合物半導体基板の主面から少なくとも一部除去しておくようにしたことを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 3】 上記窒化物系 III-V 族化合物半導体層を成長させる前に上記第 2 の領域を上記窒化物系 III-V 族化合物半導体基板の主面から所定の深さまで除去しておくようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 4】 上記所定の深さは $1\ \mu\text{m}$ 以上であることを特徴とする請求項 3 記載の半導体発光素子の製造方法。

【請求項 5】 上記所定の深さは $10\ \mu\text{m}$ 以上であることを特徴とする請求項 3 記載の半導体発光素子の製造方法。

【請求項 6】 上記窒化物系 III-V 族化合物半導体層を成長させる前に上記第 2 の領域を全部除去しておくようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 7】 エッチングにより上記第 2 の領域を除去するようにしたことを特徴とする請求項 2 記載の半導体発光素子の製造方法。

【請求項 8】 上記エッチングはウェットエッチングであることを特徴とする請求項 7 記載の半導体発光素子の製造方法。

【請求項 9】 上記エッチングはドライエッチングであることを特徴とする請求項 7 記載の半導体発光素子の製造方法。

【請求項 10】 上記エッチングは熱化学エッチングであることを特徴とする請求項 7 記載の半導体発光素子の製造方法。

【請求項 11】 上記窒化物系 III-V 族化合物半導体層を成長させる前に上記第 2 の領域の表面を被覆層で覆っておくようにしたことを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 12】 上記第 2 の領域が上記窒化物系 III-V

族化合物半導体基板の主面から所定の深さまで除去されていることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 13】 上記第 2 の領域が除去された部分が上記被覆層により埋められていることを特徴とする請求項 1 2 記載の半導体発光素子の製造方法。

【請求項 14】 上記被覆層の表面は上記窒化物系 III-V 族化合物半導体基板の主面より高い位置にあることを特徴とする請求項 1 1 記載の半導体発光素子の製造方法。

【請求項 15】 上記被覆層の表面は上記窒化物系 III-V 族化合物半導体基板の主面と一致していることを特徴とする請求項 1 1 記載の半導体発光素子の製造方法。

【請求項 16】 上記複数の第 2 の領域は周期的に配列していることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 17】 上記複数の第 2 の領域は六方格子状に周期的に配列していることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 18】 上記複数の第 2 の領域は長方形格子状に周期的に配列していることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 19】 上記複数の第 2 の領域は正方格子状に周期的に配列していることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 20】 互いに隣接する二つの上記第 2 の領域の間隔は $20\ \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 21】 互いに隣接する二つの上記第 2 の領域の間隔は $50\ \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 22】 互いに隣接する二つの上記第 2 の領域の間隔は $100\ \mu\text{m}$ 以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 23】 上記第 2 の領域の配列周期は $20\ \mu\text{m}$ 以上であることを特徴とする請求項 1 6 記載の半導体発光素子の製造方法。

【請求項 24】 上記第 2 の領域の配列周期は $50\ \mu\text{m}$ 以上であることを特徴とする請求項 1 6 記載の半導体発光素子の製造方法。

【請求項 25】 上記第 2 の領域の配列周期は $100\ \mu\text{m}$ 以上であることを特徴とする請求項 1 6 記載の半導体発光素子の製造方法。

【請求項 26】 上記第 2 の領域は不定多角柱状の形状を有することを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 27】 上記第 1 の領域と上記第 2 の領域との間に上記第 1 の平均転位密度より高く、かつ上記第 2 の平均転位密度より低い第 3 の平均転位密度を有する第 3

の領域が設けられていることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 28】 上記窒化物系 III-V 族化合物半導体層が上記窒化物系 III-V 族化合物半導体基板の主面上で上記第 2 の領域および上記第 3 の領域と直接接触しないようにしたことを特徴とする請求項 27 記載の半導体発光素子の製造方法。

【請求項 29】 上記窒化物系 III-V 族化合物半導体層を成長させる前に上記第 2 の領域および上記第 3 の領域を上記窒化物系 III-V 族化合物半導体基板の主面から少なくとも一部除去しておくようにしたことを特徴とする請求項 28 記載の半導体発光素子の製造方法。

【請求項 30】 上記第 2 の領域の直径は $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 31】 上記第 2 の領域の直径は $20\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 32】 上記第 3 の領域の直径は上記第 2 の領域の直径より $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下大きいことを特徴とする請求項 27 記載の半導体発光素子の製造方法。

【請求項 33】 上記第 3 の領域の直径は上記第 2 の領域の直径より $40\mu\text{m}$ 以上 $160\mu\text{m}$ 以下大きいことを特徴とする請求項 27 記載の半導体発光素子の製造方法。

【請求項 34】 上記第 3 の領域の直径は上記第 2 の領域の直径より $60\mu\text{m}$ 以上 $140\mu\text{m}$ 以下大きいことを特徴とする請求項 27 記載の半導体発光素子の製造方法。

【請求項 35】 上記第 2 の領域の平均転位密度は上記第 1 の領域の平均転位密度の 5 倍以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 36】 上記第 2 の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 37】 上記第 1 の領域の平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、上記第 2 の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上であることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 38】 上記第 1 の領域の平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、上記第 2 の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ 以上、上記第 3 の領域の平均転位密度は $1 \times 10^8 \text{ cm}^{-2}$ より小さく、 $2 \times 10^6 \text{ cm}^{-2}$ より大きいことを特徴とする請求項 27 記載の半導体発光素子の製造方法。

【請求項 39】 上記窒化物系 III-V 族化合物半導体基板は $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y}\text{In}_z\text{As}_u\text{N}_{1-x-y-z-u}\text{P}_v$ (ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq x+y+z+u+v < 1$) からなることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 40】 上記窒化物系 III-V 族化合物半導体基板は $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y}\text{In}_z\text{N}$ (ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq x+y+z < 1$) からなることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 41】 上記窒化物系 III-V 族化合物半導体基板は $\text{Al}_x\text{Ga}_{1-x}\text{In}_z\text{N}$ (ただし、 $0 \leq x \leq 1$ 、 $0 \leq z \leq 1$) からなることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 42】 上記窒化物系 III-V 族化合物半導体基板は GaN からなることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 43】 上記半導体発光素子は半導体レーザであることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 44】 上記半導体発光素子は発光ダイオードであることを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 45】 第 1 の平均欠陥密度を有する結晶からなる第 1 の領域中に上記第 1 の平均欠陥密度より高い第 2 の平均欠陥密度を有する複数の第 2 の領域が規則的に配列している窒化物系 III-V 族化合物半導体基板の主面上に発光素子構造を形成する窒化物系 III-V 族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であつて、

上記窒化物系 III-V 族化合物半導体層が上記窒化物系 III-V 族化合物半導体基板の主面上で上記第 2 の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 46】 結晶からなる第 1 の領域中にこの第 1 の領域より結晶性が悪い複数の第 2 の領域が規則的に配列している窒化物系 III-V 族化合物半導体基板の主面上に発光素子構造を形成する窒化物系 III-V 族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であつて、

上記窒化物系 III-V 族化合物半導体層が上記窒化物系 III-V 族化合物半導体基板の主面上で上記第 2 の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 47】 上記第 1 の領域は単結晶であり、上記第 2 の領域は単結晶、多結晶もしくは非晶質またはこれらの二以上が混在したものであることを特徴とする請求項 46 記載の半導体発光素子の製造方法。

【請求項 48】 第 1 の平均転位密度を有する結晶からなる第 1 の領域中に上記第 1 の平均転位密度より高い第 2 の平均転位密度を有する複数の第 2 の領域が規則的に

配列している窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項49】 上記半導体素子は発光素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項50】 上記半導体素子は受光素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項51】 上記半導体素子は電子走行素子であることを特徴とする請求項48記載の半導体素子の製造方法。

【請求項52】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項53】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅡⅡⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項54】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項55】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成

する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項56】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項57】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項58】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項59】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項60】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項61】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第

2の平均欠陥密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項62】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項63】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項64】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項65】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項66】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項67】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項68】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項69】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物

系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項70】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項71】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項72】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項73】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項74】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、

上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が上記窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体素子の製造方法。

【請求項75】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項76】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項77】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体発光素子の製造方法。

【請求項 8 2】 第 1 の平均欠陥密度を有する結晶からなる第 1 の領域中に上記第 1 の平均欠陥密度より高い第 2 の平均欠陥密度を有する複数の第 2 の領域が第 1 の方向に第 1 の間隔で規則的に配列し、上記第 1 の方向と直交する第 2 の方向に上記第 1 の間隔より小さい第 2 の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であつて、

【請求項 87】 第 1 の平均転位密度を有する結晶からなる第 1 の領域中に上記第 1 の平均転位密度より高い第 2 の平均転位密度を有する複数の第 2 の領域が第 1 の方向に第 1 の間隔で規則的に配列し、上記第 1 の方向と直交する第 2 の方向に上記第 1 の間隔より小さい第 2 の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項88】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項89】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、上記第1の方向と直交する第2の方向に上記第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項90】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項91】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項92】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする素子の製造方法。

【請求項93】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させるようにした窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法。

【請求項94】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させるようにした窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法。

【請求項95】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上に窒化物系ⅠⅠⅠ-V族化合物半導体層を成長させるようにした窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法であって、

上記窒化物系ⅠⅠⅠ-V族化合物半導体層が上記窒化物系ⅠⅠⅠ-V族化合物半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする窒化物系ⅠⅠⅠ-V族化合物半導体層の成長方法。

【請求項96】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項97】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項98】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、

上記半導体層が上記半導体基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする半導体層の成長方法。

【請求項99】 第1の平均転位密度を有する結晶からなる第1の領域中に上記第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

10

20

30

40

50

て、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする層の成長方法。

【請求項100】 第1の平均欠陥密度を有する結晶からなる第1の領域中に上記第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする層の成長方法。

【請求項101】 結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、

上記層が上記基板の主面上で上記第2の領域と直接接触しないようにしたことを特徴とする層の成長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体発光素子の製造方法、半導体素子の製造方法、素子の製造方法、窒化物系ⅢⅠⅠ-V族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法に関し、例えば、窒化物系ⅢⅠⅠ-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子の製造に適用して好適なものである。

【0002】

【従来の技術】 GaN、AlGaN、GaInN、AlGaInNなどの窒化物系ⅢⅠⅠ-V族化合物半導体は、AlGaInAs系ⅢⅠⅠ-V族化合物半導体やAlGaInP系ⅢⅠⅠ-V族化合物半導体に比べてバンドギャップE_gが大きく、かつ直接遷移の半導体材料であるという特徴を有している。このため、これらの窒化物系ⅢⅠⅠ-V族化合物半導体は、紫外線から緑色に当たる短波長の光の発光が可能な半導体レーザや、紫外線から赤色まで、および白色という広い発光波長範囲をカバーできる発光ダイオード(LED)などの半導体発光素子を構成する材料として注目されており、高密度光ディスクやフルカラーディスプレイ、さらには環境・医療分野など、広く応用が考えられている。

【0003】 また、これらの窒化物系ⅢⅠⅠ-V族化合物半導体は、例えばGaNの高電界における飽和速度が大きいこと、例えば400℃程度までの高温動作が可能であること、および、例えばMIS (Metal-Insulator-Semiconductor) 構造における絶縁層の材料にAlNを用いることで半導体層および絶縁層の形成を結晶成長により連続して行うことができるなどの特徴を有している。このため、これらの窒化物系ⅢⅠⅠ-V族化合物半導体は、高温動作可能な高出力の高周波電子素子を構成する材料としても期待されている。

【0004】 このほか、窒化物系ⅢⅠⅠ-V族化合物半

導体の長所としては、以下のことが挙げられる。

(1) 熱伝導性がGaAs系半導体などよりも高く、高温・高出力動作の素子向きである。

(2) 材料が化学的に安定であり、また硬度も高く、高い信頼性を得やすい。

(3) 環境への負荷が小さい化合物半導体材料である。すなわち、AlGaInN系半導体は、構成材料や原料に環境への影響が大きい環境汚染物質や毒物を含まない。具体的には、AlGaAs系半導体におけるヒ素(As)、ZnCdSSe系半導体におけるカドミウム(Cd)などに相当する材料およびその原料(アルシン(AsH₃))などを使用しない。

【0005】 しかしながら、従来、窒化物系ⅢⅠⅠ-V族化合物半導体を用いた素子においては、高い信頼性を得るのに適当な基板材料がないという問題があった。窒化物系ⅢⅠⅠ-V族化合物半導体の基板材料として、特に高品質の結晶を得るために、以下の問題や状況がある。

(1) 構成材料のGaN、AlGaN、GaInNが格子定数の異なる全歪み系である。そのため、窒化物系ⅢⅠⅠ-V族化合物半導体同士および基板との間に、クラックなどを生じない範囲および良質の結晶膜が得られる範囲に組成や厚さなどを抑えるなど、設計上の制限がある。

(2) GaNに格子整合する高品質基板がまだ開発されていない。GaAs系半導体やGaInP系半導体に格子整合する高品質GaAs基板や、GaInAs系半導体に格子整合する高品質InP基板があるように、例えば高品質なGaN基板は開発途上であり、格子定数差の比較的小さいSiC基板は、高価であり、大口径化も困難であり、結晶膜に引っ張り歪みが発生するためクラックが発生しやすい、などの問題があり、またこれら以外にはGaNに格子整合する基板がない。

(3) 窒化物系ⅢⅠⅠ-V族化合物半導体の基板材料の必要条件に、約1000℃の高い結晶成長温度およびV族原料のアンモニア雰囲気中で変質・腐食されないことがある。

【0006】 以上のような理由により、窒化物系ⅢⅠⅠ-V族化合物半導体の基板としては総合的な判断でサファイア基板を使用する場合が多い。サファイア基板は、窒化物系ⅢⅠⅠ-V族化合物半導体の結晶成長温度で安定で、高品質の2または3インチ基板が安定に供給される利点があるが、その一方でGaNとの格子不整合が大きい(約13%)。このため、サファイア基板上に低温成長によりGaNやAlNからなるバッファ層を形成し、その上に窒化物系ⅢⅠⅠ-V族化合物半導体を成長させている。これによれば、単結晶の窒化物系ⅢⅠⅠ-V族化合物半導体を成長させることが可能であるが、その欠陥密度は格子不整合を反映して例えば10⁸~10⁹(cm⁻²)程度もあり、例えば半導体レーザにおいて

10

20

30

40

50

は長時間の信頼性を得ることは困難であった。

【0007】サファイア基板にはこのほかに、(1) 劈開性がないため、鏡面性が高いレーザ端面の安定な形成が困難、(2) サファイアが絶縁性のため基板上面から p 側電極および n 側電極の取り出しが必須、(3) 結晶成長膜が厚いと、窒化物系 III-V 族化合物半導体とサファイアとの熱膨張係数の差により、室温での基板の反りが大きく、素子形成プロセスに支障を来す、などの問題がある。

【0008】サファイア基板のように格子定数の異なる基板上に成長させる半導体結晶の高品質化の目的では、横方向選択成長 (Epitaxial Lateral Overgrowth; ELO) を用いる方法がある。ELO では、周期的に高結晶品質領域 (横方向成長領域) と低結晶品質あるいは高欠陥密度領域 (種結晶上やその境界、会合部など) とが現れるが、素子の活性領域 (例えば、発光素子では発光領域、電子走行素子では電子が走行する領域) のサイズが大きい場合、ELO の周期は、半導体レーザのストライプやトランジスタのエミッタ領域/コレクタ領域 (またはソース領域/ドレイン領域) 間隔より大きくとることができる。例えば、ELO の周期 10~20 μm に対し、素子の活性領域のサイズは数 μm 程度であるため、高品質領域内に活性領域を設計することが可能である。

【0009】サファイア基板上に ELO を利用して素子を形成する場合には、上述の劈開性の悪さなどサファイア自身の性質に起因する問題以外にも、例えば以下のような問題があった。

(1) ELO に必要な工程数が多いことにより歩留まりが低下する。

(2) ELO に必要な分だけ結晶膜厚が増大することにより、基板に熱応力による大きな反りが発生し、結晶成長工程やウェハプロセスの制御性を低下させる。

(3) 素子サイズの制限がある。LED やフォトディテクタ (PD) および集積素子など、ELO 周期より大きい、例えば数百 μm 角以上の活性領域を持つ素子では、全素子領域を高結晶品質領域とすることができないため、ELO の効果を発揮できない。

【0010】以上の諸問題は、高品質の GaN 基板が得られれば解決することが可能であるが、これまでの試みでは、高品質で大口径の GaN 基板が得られなかった。これは、GaN は HVPE (ハライド気相成長) によっても、一般に高温 (高圧) 成長による良質な種結晶を得にくい、などの理由で、単結晶成長を安定に行うことができず、高品質基板の製造が困難なことによる。

【0011】特開 2001-102307 号公報にはこの問題の改善を図ることを目的とした単結晶 GaN 基板の製造方法が提案されている。これによれば、高欠陥密度の GaN 種基板を形成後、一部に 3 次元的なファセット (以下「コア」と呼ぶ) を形成し、ファセットを閉じ

ない条件で成長を続けることで、このコア部に結晶転位を集中させて、結果として広い領域が高品質な基板を製造している。

【0012】

【発明が解決しようとする課題】しかしながら、特開 2001-102307 号公報に開示された技術は、特に貫通転位を成長層のある領域に集中させることにより、他の領域の貫通転位を減少させるものであるため、得られた単結晶 GaN 基板には低欠陥密度の領域 (コア) と高欠陥密度の領域とが混在しており、しかも高欠陥密度の領域が発生する位置は制御することができず、ランダムに発生する。このため、この単結晶 GaN 基板上に窒化物系 III-V 族化合物半導体層を成長させて半導体素子、例えば半導体レーザを製造する場合、高欠陥密度の領域が発光領域に形成されてしまうのを避けることができず、半導体レーザの発光特性や信頼性の低下を招いていた。

【0013】したがって、この発明が解決しようとする課題は、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子およびそのような半導体発光素子を容易に製造することができる半導体発光素子の製造方法を提供することにある。

【0014】より一般的には、この発明が解決しようとする課題は、特性が良好で信頼性も高く長寿命の半導体素子およびそのような半導体素子を容易に製造することができる半導体素子の製造方法を提供することにある。

【0015】さらに一般的には、この発明が解決しようとする課題は、特性が良好で信頼性も高く長寿命の各種の素子およびそのような素子を容易に製造することができる素子の製造方法を提供することにある。

【0016】また、この発明が解決しようとする課題は、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子あるいは特性が良好で信頼性も高く長寿命の半導体素子あるいは特性が良好で信頼性も高く長寿命の各種の素子の製造に用いて好適な窒化物系 III-V 族化合物半導体層の成長方法、半導体層の成長方法および層の成長方法を提供することにある。

【0017】

【課題を解決するための手段】本発明者は、上記課題を解決するために鋭意検討を行った。その概要について説明すると、次のとおりである。

【0018】本発明者は、特開 2001-102307 号公報に開示された技術の改良を重ねた結果、低欠陥密度領域中に発生する高欠陥密度領域の位置を制御することに成功した。すなわち、高欠陥密度領域を結晶成長中に自然に凝集させて形成するのではなく、人為的に GaAs 基板などの適当な基板上に種結晶等を例えば円形で規則的、例えば周期的に形成し、その上に結晶成長を行うことにより高欠陥密度領域の形成位置を制御することができ、結晶品質の改善や良質の結晶領域を広げること

が可能となる。この場合、種結晶等の配置により、高欠陥密度領域の配列パターンを自由自在に変えることができる。

【0019】ここで、種結晶等とは、例えば多結晶、非晶質（アモルファス）または単結晶のGa₂Nや、AlGaInNなどのGa₂N以外の窒化物系III-V族化合物半導体や、窒化物系III-V族化合物半導体以外の材料で形成されるが、結晶欠陥集中位置を規定する核（コア）となる構造であればどのような構造であってもよい。

【0020】このような基板を用いて半導体レーザなどの半導体発光素子、より一般的には半導体素子を製造する場合、基板に存在する高欠陥密度領域が素子に及ぼす悪影響を排除する必要がある。すなわち、基板上に半導体層を成長させると、この半導体層に下地基板の高欠陥密度領域から欠陥が伝播するため、この欠陥に起因する素子の特性の劣化や信頼性の低下などを防止する必要がある。

【0021】この問題は、素子に使用する半導体と同質で低欠陥密度の基板を得ることが困難である場合、上記と同様な構造の基板を用いてその上に半導体層を成長させる場合にも起こるものである。より一般的には、素子に使用する材料と同質で低欠陥密度の基板を得ることが困難である場合、上記と同様な構造の基板を用いてその上に層を成長させる場合にも起こるものである。本発明者は、種々検討を行った結果、上記の課題を解決することができる有効な手法を見出し、この発明を案出するに至ったものである。

【0022】すなわち、上記課題を解決するために、この発明の第1の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している窒化物系III-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系III-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0023】窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするためには、具体的には、例えば、窒化物系III-V族化合物半導体層を成長させる前に第2の領域を窒化物系III-V族化合物半導体基板の主面から少なくとも一部除去しておくようにする。より具体的には、窒化物系III-V族化合物半導体層を成長させる前に第2の領域を上記窒化物系III-V族化合物半導体基板の主面から所定の深さまで除去しておく。ここで、所定の深さは、窒化物系III-V

族化合物半導体層により構成する素子の構成や、窒化物系III-V族化合物半導体層の成長条件などに応じて適宜選ばれるが、一般的には1μm以上、好適には窒化物系III-V族化合物半導体層を用いて構成する素子の厚さ程度以上（例えば10μm以上）とする。窒化物系III-V族化合物半導体層を成長させる前に第2の領域を全部除去しておくようにしてもよい。第2の領域の除去は、典型的にはエッチングにより行い、具体的には、ウェットエッチング、ドライエッチング、熱化学エッチング、イオンミリングなどにより行う。

【0024】窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするためには、窒化物系III-V族化合物半導体層を成長させる前に第2の領域の表面を被覆層で覆っておくようにしてもよい。この被覆層としては、成長温度に耐えられる限り各種のものを用いることができ、具体的には、SiO₂膜、Si₃N₄膜、SOG (Spin on Glass)膜などの絶縁膜のほか、タングステン (W)、モリブデン (Mo)、タンタル (Ta) などの高融点金属膜やそれらの窒化膜などを用いることができる。この場合、第2の領域上に単に被覆層を形成するだけでもよいが、第2の領域が窒化物系III-V族化合物半導体基板の主面から所定の深さまで除去されている場合には、この第2の領域が除去された部分が被覆層により埋められるようにしてもよい。前者の場合には、被覆層の表面は窒化物系III-V族化合物半導体基板の主面より高い位置にあるが、後者の場合には、エッチバックの手法を用いることなどにより被覆層の表面を窒化物系III-V族化合物半導体基板の主面と一致させることができる。

【0025】互いに隣接する二つの第2の領域の間隔あるいは第2の領域の配列周期は、素子の大きさなどに応じて選ばれるが、一般的には20μm以上あるいは50μm以上あるいは100μm以上である。この第2の領域の間隔あるいは第2の領域の配列周期の上限は必ずしも明確なものは存在しないが、一般的には1000μm程度である。この第2の領域は、典型的には窒化物系III-V族化合物半導体基板を貫通している。また、この第2の領域は典型的には不定多角柱状の形状を有する。第1の領域と第2の領域との間には、第1の平均転位密度より高く、かつ第2の平均転位密度より低い第3の平均転位密度を有する第3の領域が遷移領域として存在することも多く、この場合、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにするだけでもよいが、最も好適には、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上でこれらの第2の領域および第3の領域と直接接触しないようにする。後者の場合、具体的には、例えば、窒化物系III-V族化合物半導体層を成長させる

前に第2の領域および第3の領域を窒化物系ⅢⅢⅤ族化合物半導体基板の主面から少なくとも一部除去しておくようにする。

【0026】第2の領域の直径は、典型的には $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、より典型的には $20\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。また、第3の領域が存在する場合、その直径は典型的には第2の領域の直径より $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下より大きく、より典型的には $40\mu\text{m}$ 以上 $160\mu\text{m}$ 以下大きく、最も典型的には $60\mu\text{m}$ 以上 $140\mu\text{m}$ 以下大きい。

【0027】第2の領域の平均転位密度は一般的には第1の領域の転位密度の5倍以上である。典型的には、第1の領域の平均転位密度は $2 \times 10^6\text{ cm}^{-2}$ 以下、第2の領域の平均転位密度は $1 \times 10^8\text{ cm}^{-2}$ 以上である。第3の領域が存在する場合、その平均転位密度は、典型的には $1 \times 10^6\text{ cm}^{-2}$ より小さく、 $2 \times 10^6\text{ cm}^{-2}$ より大きい。

【0028】半導体発光素子の発光領域は、平均転位密度が高い第2の領域による悪影響を防止するために、第2の領域から $1\mu\text{m}$ 以上、好適には $10\mu\text{m}$ 以上、より好適には $100\mu\text{m}$ 以上離す。第3の領域が存在する場合、最も好適には、半導体発光素子の発光領域が第2の領域および第3の領域を含まないようにする。より具体的には、半導体発光素子は半導体レーザや発光ダイオードであるが、前者の半導体レーザの場合、ストライプ状電極を介して駆動電流が流される領域は第2の領域から好適には $1\mu\text{m}$ 以上、より好適には $10\mu\text{m}$ 以上、さらに好適には $100\mu\text{m}$ 以上離す。第3の領域が存在する場合、最も好適には、ストライプ状電極を介して駆動電流が流される領域が第2の領域および第3の領域を含まないようにする。ストライプ状電極、すなわちレーザストライプの数は一つまたは複数設けてよく、その幅も必要に応じて選ぶことができる。

【0029】窒化物系ⅢⅢⅤ族化合物半導体基板あるいは窒化物系ⅢⅢⅤ族化合物半導体層は、最も一般的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y}\text{In}_z\text{As}_u\text{N}_{1-x-y-z-u}\text{P}_v$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq x+y+z < 1$ 、 $0 \leq u+v < 1$ ）からなり、より具体的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y}\text{In}_z\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq x+y+z < 1$ ）からなり、典型的には $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）からなる。窒化物系ⅢⅢⅤ族化合物半導体基板は、最も典型的には GaN からなる。この発明の第1の発明に関連して述べた以上のことは、その性質に反しない限り、以下の発明についても成立するものである。

【0030】この発明の第2の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2

の領域が規則的に配列している窒化物系ⅢⅢⅤ族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅢⅢⅤ族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅢⅢⅤ族化合物半導体層が窒化物系ⅢⅢⅤ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0031】ここで、「平均欠陥密度」とは、素子の特性や信頼性などに悪影響を及ぼす格子欠陥全体の平均密度を意味し、欠陥には転位や積層欠陥や点欠陥などあらゆるものが含まれる（以下同様）。

【0032】この発明の第3の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅢⅢⅤ族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅢⅢⅤ族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅢⅢⅤ族化合物半導体層が窒化物系ⅢⅢⅤ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0033】ここで、典型的には、結晶からなる第1の領域は単結晶であり、この第1の領域より結晶性が悪い第2の領域は単結晶、多結晶もしくは非晶質またはこれらの二以上が混在したものである（以下同様）。これは、第2の領域の平均転位密度あるいは平均欠陥密度が第1の領域の平均転位密度あるいは平均欠陥密度より高い場合と対応するものである。

【0034】この発明の第4の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している窒化物系ⅢⅢⅤ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅢⅢⅤ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅢⅢⅤ族化合物半導体層が窒化物系ⅢⅢⅤ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0035】この発明の第5の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している窒化物系ⅢⅢⅤ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅢⅢⅤ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅢⅢⅤ族化合物半導体層が窒化物系ⅢⅢⅤ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものであ

る。

【0036】この発明の第6の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している窒化物系ⅢⅠⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅢⅠⅠ-V族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅢⅠⅠ-V族化合物半導体層が窒化物系ⅢⅠⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0037】この発明の第4～第6の発明において、半導体素子には、発光ダイオードや半導体レーザのような発光素子のほか、受光素子、さらには高電子移動度トランジスタなどの電界効果トランジスタ(FET)やヘテロ接合バイポーラトランジスタ(HBT)のような電子走行素子が含まれる(以下同様)。

【0038】この発明の第4～第6の発明において、半導体素子の活性領域は、平均転位密度が高い第2の領域による悪影響を防止するために、第2の領域から好適には1μm以上、より好適には10μm以上、さらに好適には100μm以上離す。第3の領域が存在する場合、最も好適には、半導体素子の活性領域が第2の領域および第3の領域を含まないようにする。ここで、活性領域とは、半導体発光素子においては発光領域、半導体受光素子においては受光領域、電子走行素子においては電子が走行する領域を意味する(以下同様)。

【0039】この発明の第7の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0040】この発明の第8の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0041】この発明の第9の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子

の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0042】この発明の第10の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0043】この発明の第11の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0044】この発明の第12の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0045】この発明の第10～第12の発明において、半導体基板あるいは半導体層の材料は、窒化物系ⅢⅠⅠ-V族化合物半導体のほか、ウルツ鉱型(wurtzite)構造、より一般的には六方晶系の結晶構造を有する他の半導体、例えばZnO、α-ZnS、α-CdS、α-CdSeなどであってもよく、さらには他の結晶構造を有する各種の半導体であってもよい。

【0046】この発明の第13の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0047】この発明の第14の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上

で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0048】この発明の第15の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0049】この発明の第13～第15の発明において、素子は、半導体素子（発光素子、受光素子、電子走行素子など）のほか、圧電素子、焦電素子、光学素子（非線形光学結晶を用いる第2次高調波発生素子など）、誘電体素子（強誘電体素子を含む）、超伝導素子などである。この場合、基板あるいは層の材料は、半導体素子では上記のような各種の半導体を用いることができ、圧電素子、焦電素子、光学素子、誘電体素子、超伝導素子などでは例えば酸化物などの各種の材料を用いることができる。酸化物材料については、例えばJournal of the Society of Japan Vol. 103, No. 11 (1995) pp. 1099-1111 や Materials Science and Engineering B41 (1996) 166-173 に開示されたものなど、多くのものがある。

【0050】この発明の第16の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0051】この発明の第17の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0052】この発明の第18の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の

第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0053】この発明の第19の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0054】この発明の第20の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0055】この発明の第21の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に発光素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、窒化物系ⅡⅡⅠ-V族化合物半導体層が窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0056】この発明の第22の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅡⅡⅠ-V族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅡⅡⅠ-V族化合物半導体層を成長させることに

10

20

30

40

50

より半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0057】この発明の第23の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0058】この発明の第24の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0059】この発明の第25の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0060】この発明の第26の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物

半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0061】この発明の第27の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上に素子構造を形成する窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体層が窒化物系ⅠⅠⅠ-Ⅴ族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0062】この発明の第28の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0063】この発明の第29の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0064】この発明の第30の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0065】この発明の第31の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造

10

20

30

40

50

するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【００６６】この発明の第３２の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００６７】この発明の第３３の発明は、結晶からなる第１の領域中にこの第１の領域より結晶性が悪い直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に発光素子構造を形成する半導体層を成長させることにより半導体発光素子を製造するようにした半導体発光素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接しないようにしたことを特徴とするものである。

【００６８】この発明の第３４の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【0069】この発明の第35の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する複数の第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【００７０】この発明の第３６の発明は、結晶からなる第１の領域中にこの第１の領域より結晶性が悪い複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２

の領域と直接接しないようにしたことを特徴とするものである。

【００７１】この発明の第３７の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接触しないようにしたことを特徴とするものである。

【００７２】この発明の第３８の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００７３】この発明の第３９の発明は、結晶からなる第１の領域中にこの第１の領域より結晶性が悪い直線状に延在する複数の第２の領域が互いに平行に規則的に配列している半導体基板の主面上に素子構造を形成する半導体層を成長させることにより半導体素子を製造するようにした半導体素子の製造方法であって、半導体層が半導体基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００７４】この発明の第４０の発明は、第１の平均転位密度を有する結晶からなる第１の領域中に第１の平均転位密度より高い第２の平均転位密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第２の領域と直接接触しないようにしたことを特徴とするものである。

【００７５】この発明の第４１の発明は、第１の平均欠陥密度を有する結晶からなる第１の領域中に第１の平均欠陥密度より高い第２の平均欠陥密度を有する複数の第２の領域が第１の方向に第１の間隔で規則的に配列し、第１の方向と直交する第２の方向に第１の間隔より小さい第２の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第２の領域と直接接しないようにしたことを特徴とするものである。

【0076】この発明の第42の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い複数の

第2の領域が第1の方向に第1の間隔で規則的に配列し、第1の方向と直交する第2の方向に第1の間隔より小さい第2の間隔で規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0077】この発明の第43の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0078】この発明の第44の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0079】この発明の第45の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い直線状に延在する複数の第2の領域が互いに平行に規則的に配列している基板の主面上に素子構造を形成する層を成長させることにより素子を製造するようにした素子の製造方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0080】この発明の第16～第45の発明において、第1の方向の第2の領域の間隔（第1の間隔）あるいは直線状に延在する第2の領域の間隔は、この発明の第1の発明に関連して述べた第2の領域の間隔あるいは第2の領域の配列間隔と同様である。また、第1の方向の第2の領域の間隔（第1の間隔）あるいは直線状に延在する第2の領域の間隔は、典型的には50 μ m以上であることを除いて、この発明の第1の発明に関連して述べた第2の領域の間隔あるいは第2の領域の配列間隔と同様である。この発明の第16～第18、第22～第24、第28～第30、第34～第36、第40～第42の発明において、第2の方向の第2の領域の間隔は、基本的には第1の間隔より小さい範囲で自由に選ぶことができものであり、第2の領域の大きさにもよるが、一般的には10 μ m以上1000 μ m以下、典型的には20 μ m以上200 μ m以下である。さらに、最終的に基板のスクライビングによりチップとなる領域（以下「素子領域」という。）には、典型的には、第2の方向の第2の領域の列あるいは直線状に延在する第2の領域は実質的に7本以上含まれない。ここで、第2の方向の第2の

領域の列あるいは直線状に延在する第2の領域の数の上限を7本としたのは、第2の方向の第2の領域の列あるいは直線状に延在する第2の領域の間隔によっては、素子のチップサイズとの関係で素子領域に7本程度含まれることもあり得ることを考慮したものである。この第2の方向の第2の領域の列あるいは直線状に延在する第2の領域の数は、一般にチップサイズが小さい半導体発光素子では、典型的には3本以下である。

【0081】この発明の第16～第45の発明においては、上記以外のことは、その性質に反しない限り、この発明の第1～第15の発明に関連して述べたことが成立する。

【0082】この発明の第46の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0083】この発明の第47の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0084】この発明の第48の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する窒化物系III-V族化合物半導体基板の主面上に窒化物系III-V族化合物半導体層を成長させるようにした窒化物系III-V族化合物半導体層の成長方法であって、窒化物系III-V族化合物半導体層が窒化物系III-V族化合物半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0085】この発明の第49の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0086】この発明の第50の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均

10

20

30

40

50

欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する半導体基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0087】この発明の第51の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に半導体層を成長させるようにした半導体層の成長方法であって、半導体層が半導体基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0088】この発明の第52の発明は、第1の平均転位密度を有する結晶からなる第1の領域中に第1の平均転位密度より高い第2の平均転位密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0089】この発明の第53の発明は、第1の平均欠陥密度を有する結晶からなる第1の領域中に第1の平均欠陥密度より高い第2の平均欠陥密度を有する第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0090】この発明の第54の発明は、結晶からなる第1の領域中にこの第1の領域より結晶性が悪い第2の領域を有する基板の主面上に層を成長させるようにした層の成長方法であって、層が基板の主面上で第2の領域と直接接触しないようにしたことを特徴とするものである。

【0091】この発明の第46～第54の発明において、窒化物系ⅢⅢⅠ-V族化合物半導体基板、窒化物系ⅢⅢⅠ-V族化合物半導体層、半導体基板、半導体層、基板、層の材料については、この発明の第1～第15の発明に関連して述べたことと同様である。

【0092】上述のように構成されたこの発明においては、発光素子構造あるいは素子構造を形成する窒化物系ⅢⅢⅠ-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層が、窒化物系ⅢⅢⅠ-V族化合物半導体基板、あるいは半導体基板、あるいは基板の主面上で、第1の領域より平均転位密度が高い、あるいは平均欠陥密度が高い、あるいは結晶性が悪い第2の領域と直接接触しないようにしているので、発光素子構造あるいは素子構造を形成する窒化物系ⅢⅢⅠ-V族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層に第2の領域による悪影響が及ぶのを防止することができる。

【0093】

【発明の実施の形態】以下、この発明の実施形態につい

て図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。図1および図2はこの発明の第1の実施形態において用いるGa_{0.9}N基板1を示し、図1Aは斜視図、図1Bは領域Bの最近接方向の断面図、図2は平面図である。このGa_{0.9}N基板1はn型で(0001)面(C面)方位である。ただし、Ga_{0.9}N基板1はR面、A面またはM面方位のものであってもよい。このGa_{0.9}N基板1においては、平均転位密度が低い結晶からなる領域Aの中に、平均転位密度が高い結晶からなる領域Bが六方格子状に周期的に配列している。ここで、領域Bは不定多角柱状の形状を有するのが一般的であるが、図1Aにおいては、簡略化して円柱形状としてある(以下同様)。この場合、最近接の領域B同士を結ぶ直線はGa_{0.9}Nの〈1-100〉方向およびそれと等価な方向と一致している。ただし、最近接の領域B同士を結ぶ直線をGa_{0.9}Nの〈11-20〉方向およびそれと等価な方向と一致するようにしてもよい。領域BはGa_{0.9}N基板1を貫通している。このGa_{0.9}N基板1の厚さは例えば200～600μmである。なお、図2の破線は領域Bの相対的な位置関係を示すためのものにすぎず、実在する(物理的な意味のある)線ではない(以下同様)。

【0094】領域Bの配列周期(最近接の領域Bの中心同士の間隔)は例えば400μm、その直径は例えば20μmである。また、領域Aの平均転位密度は例えば $2 \times 10^6 \text{ cm}^{-2}$ 、領域Bの平均転位密度は例えば $1 \times 10^8 \text{ cm}^{-2}$ である。領域Bの中心から半径方向の転位密度の分布の一例を図3に示す。このGa_{0.9}N基板1は、結晶成長技術を用いて例えば次のようにして製造することができる。このGa_{0.9}N基板1の製造に用いる基本的な結晶成長メカニズムは、ファセット面からなる斜面を有して成長させ、そのファセット面斜面を維持して成長させることで転位を伝播させ、所定の位置に集合させるものである。このファセット面により成長した領域は、転位の移動により、低密度の欠陥領域となる。そのファセット面斜面下部には、明確な境界を持った高密度の欠陥領域を有して成長が行われ、転位は、高密度の欠陥領域の境界あるいはその内部に集合し、ここで消滅あるいは蓄積する。この高密度の欠陥領域の形状によって、ファセット面の形状も異なる。欠陥領域がドット状の場合は、そのドットを底として、ファセット面が取り巻き、ファセット面からなるピットを形成する。また、欠陥領域がストライプ状の場合は、ストライプを谷底として、その両側にファセット面斜面を有し、横に倒した三角形のプリズム状のファセット面となる。その後、成長層の表面に研削、研磨を施すことにより、表面を平坦化し、基板として使用することができる形態とすることができる。また、上記の高密度の欠陥領域は、いくつかの状態があり得る。例えば、多結晶からなる場合がある。また、単結晶であるが、周りの低密度欠陥領域に対して微傾斜し

ている場合もある。また、周りの低密度欠陥領域に対して、C軸が反転している場合もある。こうして、この高密度欠陥領域は、明確な境界を有しており、周りとは区別される。この高密度欠陥領域を有して成長させることにより、その周りのファセット面を埋め込むことなく、ファセット面を維持して成長を進行することができる。この高密度欠陥領域は、下地基板上にGaNを結晶成長させる際に、高密度欠陥領域を形成する場所に、種をあらかじめ形成しておくことにより、発生させることができる。その種としては、非晶質あるいは多結晶の層を形成する。その上から、GaNを成長させることで、ちょうどその種の領域に、高密度欠陥領域を形成することができる。このGaN基板1の具体的な製造方法は次のとおりである。まず、下地基板を用意する。この下地基板としては種々の基板を用いることができ、一般的なサファイア基板でもよいが、後工程で除去することを考慮すると、除去しやすいGaAs基板などを用いることが好ましい。そして、この下地基板上に、例えばSiO₂膜からなる種を形成する。この種の形状は、例えばドット状またはストライプ状とすることができる。この種は規則正しく、多数個形成することができる。より具体的には、この場合、種は、図2に示す領域Bの配置に対応した配置で形成する。その後、例えばハイドライド気相エピタキシー(HVPE)により、GaNを厚膜成長させる。成長後、GaNの厚膜層の表面には、種のパターン形状に応じたファセット面が形成される。この第1の実施形態のように種がドット状のパターンの場合は、ファセット面からなるピットが規則正しく形成される。一方、種がストライプ状のパターンの場合は、プリズム状のファセット面が形成される。その後、下地基板を除去し、さらにGaNの厚膜層を研削加工、研磨加工し、表面を平坦化する。これによって、GaN基板1を製造することができる。ここで、GaN基板1の厚さは、自由に設定することができる。このようにして製造されたGaN基板1は、C面が主面であり、その中に、所定のサイズのドット状(あるいはストライプ状)の高密度欠陥領域、すなわち領域Bが規則正しく形成された基板となっている。領域B以外の単結晶領域、すなわち領域Aは、領域Bに比べて低転位密度となっている。

【0095】図4にこのGaN基板1の領域Bに存在する転位を破線で模式的に示す。このようなGaN基板1上に図5に示すようにGaN系半導体層Lを成長させると、このGaN系半導体層Lには下地のGaN基板1の領域Bから転位が伝播して品質が低下する。

【0096】そこで、この第1の実施形態においては、図6に示すように、エッチングにより領域Bの上部を深さDだけ除去する。深さDは例えば1~10μmとする。こうすることで、領域Bの表面を、GaN基板1の主面から十分に離すことができる。そして、図7に示すように、このGaN基板1上に、有機金属化学気相成長

(MOCVD)法などにより素子構造を形成するGaN系半導体層Lを成長させる。このGaN系半導体層Lのうち領域Bの上に成長した部分には領域Bから転位が伝播するが、この転位が伝播する領域はごく一部に限定されるため、GaN基板1の主面上に成長したGaN系半導体層Lにその領域による悪影響が及ばないようにすることができる。

【0097】領域Bのエッチングは次のようにして行うことができる。一般に、GaNなどの窒化物系III-V族化合物半導体は化学的に安定で、高温の、水酸化ナトリウムなどの強アルカリ、強塩酸やリン酸などの酸を除けば、室温付近でウエットエッチングは起こらない。しかしながら、GaN基板1において領域Bは領域Aに比べて転位密度、より一般的には欠陥密度がずっと高い。この欠陥密度が高い領域Bでは領域Aに比べて結晶を構成する原子の結合状態が不完全であり、完全結晶に近い領域Aよりもエッチング速度が速いため、領域Bを領域Aに対して選択的にエッチングすることができる。このエッチングは、領域Aの表面をレジストなどでマスクして行ってもよいが、GaN基板1を全面エッチングすることによっても領域Bだけを選択的にエッチングすることができる。エッチング速度を上げるために、エッチング液の温度を高くしてエッチングを行ってもよい。エッチング液は、例えば、アルカリ溶液としては水酸化カリウム(KOH)、酸としてはリン酸などを用いることができる。エッチング方法の具体例を挙げると、エッチング槽中に入れたKOH溶液を75℃に加熱保持し、その中にGaN基板1を10分間浸し、エッチング終了後GaN基板1を取り出し、純水洗浄を行い、乾燥窒素のブローにより乾燥を行う。このエッチングにより、領域Bを約5~μmの深さまで除去することができる。ここで、このエッチング時にGaN基板1の裏面がエッチングされて面荒れなどが発生するのを防止する目的で、必要に応じて、GaN基板1の裏面に例えば厚さ20nmのTi膜と厚さ300nmのPt膜とを順次積層したTi/Pt膜を真空蒸着法などにより形成して保護膜とし、その後エッチングを行うようにしてもよい。なお、このTi/Pt膜は例えば王水によりエッチング除去することができる。

【0098】領域Bのエッチングは上記のウエットエッチング以外に、例えば反応性イオンエッチング(RIE)のようなドライエッチングにより行ってもよく、水素雰囲気やアンモニア雰囲気などで800℃以上の温度で一定時間加熱保持することによる熱化学的エッチングにより行ってもよい。

【0099】次に、図6に示すGaN基板1を用いたGaN系半導体レーザの具体的な製造プロセスの一例を説明する。ここでは、リッジ構造およびSCH(Separate Confinement Heterostructure)構造を有するGaN系半導体レーザについて説明する。

【0100】すなわち、図8に示すように、まず、Ga N基板1の表面をサーマルクリーニングなどにより清浄化した後、その上にMOCVD法により、n型Ga Nバッファ層5、n型Al Ga Nクラッド層6、n型Ga N光導波層7、アンドープのGa_{1-x}In_xN/Ga_{1-x}In_xN多重量子井戸構造の活性層8、アンドープIn Ga N劣化防止層9、p型Al Ga Nキャップ層10、p型Ga N光導波層11、p型Al Ga Nクラッド層12およびp型Ga Nコンタクト層13を順次エピタキシャル成長させる。

【0101】ここで、n型Ga Nバッファ層5は厚さが例えば0.05 μmであり、n型不純物として例えばSiがドーピングされている。n型Al Ga Nクラッド層6は厚さが例えば1.0 μmであり、n型不純物として例えばSiがドーピングされ、Al組成は例えば0.08である。n型Ga N光導波層7は厚さが例えば0.1 μmであり、n型不純物として例えばSiがドーピングされている。アンドープIn_xGa_{1-x}N/In_xGa_{1-x}N多重量子井戸構造の活性層8は、例えば、井戸層としてのIn_xGa_{1-x}N層の厚さが3.5 nmでx=0.14、障壁層としてのIn_xGa_{1-x}N層の厚さが7 nmでy=0.02、井戸数が3である。

【0102】アンドープIn Ga N劣化防止層9は、活性層8に接している面から、p型Al Ga Nキャップ層9に接している面に向かってIn組成が徐々に単調減少するグレーディッド構造を有し、活性層8に接している面におけるIn組成は活性層8の障壁層としてのIn_xGa_{1-x}N層のIn組成yと一致しており、p型Al Ga Nキャップ層10に接している面におけるIn組成は0となっている。このアンドープIn Ga N劣化防止層9の厚さは例えば20 nmである。

【0103】p型Al Ga Nキャップ層10は厚さが例えば10 nmであり、p型不純物として例えばマグネシウム(Mg)がドーピングされている。このp型Al Ga Nキャップ層10のAl組成は例えば0.2である。このp型Al Ga Nキャップ層10は、p型Ga N光導波層11、p型Al Ga Nクラッド層12およびp型Ga Nコンタクト層13の成長時に活性層8からInが脱離して劣化するのを防止するとともに、活性層8からのキャリア(電子)のオーバーフローを防止するためのものである。p型Ga N光導波層11は厚さが例えば0.1 μmであり、p型不純物として例えばMgがドーピングされている。p型Al Ga Nクラッド層12は厚さが例えば0.5 μmであり、p型不純物として例えばMgがドーピングされ、Al組成は例えば0.08である。p型Ga Nコンタクト層13は厚さが例えば0.1 μmであり、p型不純物として例えばMgがドーピングされている。

【0104】また、Inを含まない層であるn型Ga Nバッファ層5、n型Al Ga Nクラッド層6、n型Ga N光導波層7、p型Al Ga Nキャップ層10、p型G

a N光導波層11、p型Al Ga Nクラッド層12およびp型Ga Nコンタクト層13の成長温度は例えば1000℃程度とし、Inを含む層であるGa_{1-x}In_xN/Ga_{1-x}In_xN多重量子井戸構造の活性層8の成長温度は例えば700~800℃、例えば730℃とする。アンドープIn Ga N劣化防止層9の成長温度は、成長開始時点は活性層8の成長温度と同じく例えば730℃に設定し、その後例えば直線的に上昇させ、成長終了時点でp型Al Ga Nキャップ層10の成長温度と同じく例えば835℃になるようにする。

【0105】これらのGa N系半導体層の成長原料は、例えば、Gaの原料としてはトリメチルガリウム(CH₃)₃Ga、TMG)、Alの原料としてはトリメチルアルミニウム(CH₃)₃Al、TMA)、Inの原料としてはトリメチルインジウム(CH₃)₃In、TMI)を、Nの原料としてはNH₃を用いる。また、キャリアガスとしては、例えば、H₂を用いる。ドーパントについては、n型ドーパントとしては例えばモノシラン(SiH₄)を、p型ドーパントとしては例えばビス=メチルシクロペンタジエニルマグネシウム(CH₃C₅H₄)₂Mgあるいはビス=シクロペンタジエニルマグネシウム(C₅H₅)₂Mgを用いる。

【0106】次に、上述のようにしてGa N系半導体層を成長させたGa N基板1をMOCVD装置から取り出す。そして、p型Ga Nコンタクト層13の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.1 μmのSiO₂膜(図示せず)を形成した後、このSiO₂膜上にリソグラフィによりリッジ部の形状に対応した所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、例えばフッ酸系のエッチング液を用いたウェットエッチング、または、CF₄やCHF₃などのフッ素を含むエッチングガスを用いたRIE法によりSiO₂膜をエッチングし、リッジ部に対応する形状とする。

【0107】次に、このSiO₂膜をマスクとしてRIE法によりp型Al Ga Nクラッド層12の厚さ方向の所定の深さまでエッチングを行うことにより、図9に示すように、〈1-100〉方向に延在するリッジ14を形成する。このリッジ14の幅は例えば3 μmである。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0108】次に、エッチングマスクとして用いたSiO₂膜をエッチング除去した後、基板全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.3 μmのSiO₂膜のような絶縁膜15を成膜する。この絶縁膜15は電気絶縁および表面保護のためのものである。

【0109】次に、リソグラフィによりp側電極形成領域を除いた領域の絶縁膜15の表面を覆うレジストパ

10

20

30

40

50

ターン（図示せず）を形成する。次に、このレジストパターンをマスクとして絶縁膜 15 をエッチングすることにより、開口 15a を形成する。

【0110】次に、レジストパターンを残したままの状態、基板全面に例えば真空蒸着法により例えば Pd 膜、Pt 膜および Au 膜を順次形成した後、レジストパターンをその上に形成された Pd 膜、Pt 膜および Au 膜とともに除去する（リフトオフ）。これによって、絶縁膜 15 の開口 15a を通じて p 型 GaN コンタクト層 13 にコンタクトした p 側電極 16 が形成される。こ
10

ここで、この p 側電極 16 を構成する Pd 膜、Pt 膜および Au 膜の厚さは例えばそれぞれ 10 nm、100 nm および 300 nm とする。次に、p 側電極 16 をオーミック接触させるためのアロイ処理を行う。

【0111】次に、GaN 基板 1 の裏面に例えば真空蒸着法により例えば Ti 膜、Pt 膜および Au 膜を順次形成し、Ti/Pt/Au 構造の n 側電極 17 を形成する。ここで、この n 側電極 17 を構成する Ti 膜、Pt 膜および Au 膜の厚さは例えばそれぞれ 10 nm、50 nm および 100 nm とする。次に、n 側電極 17 を
20

オーミック接触させるためのアロイ処理を行う。

【0112】次に、図 10 に示すように、素子領域 2（太い実線で囲まれた一区画）の輪郭線に沿って、上述のようにしてレーザ構造が形成された GaN 基板 1 のスクライビングを劈開により行ってレーザバー 4 に加工して両共振器端面を形成する。次に、これらの共振器端面に端面コーティングを施した後、再びこのレーザバー 4 のスクライビングを劈開などにより行ってチップ化する。

【0113】図 10 においては、グレーの長方形が一つ
30

の GaN 系半導体レーザを表し、その中央付近に描かれた直線がレーザストライプ 3 であり、これが発光領域の位置に相当する。さらに、それらが連なった破線で描かれた長方形がレーザバー 4 を表して、このレーザバー 4 の長辺が共振器端面に相当する。

【0114】図 10 に示す例においては、GaN 系半導体レーザのサイズが例えば $600\ \mu\text{m} \times 346\ \mu\text{m}$ であり、横方向（長辺方向）は領域 B を結ぶ直線に沿って、縦方向（短辺方向）は領域 B を通らない直線に沿って、それぞれ基板のスクライビングを行うことによってそのサ
40

イズの GaN 系半導体レーザに分離する。

【0115】この場合、領域 B は各 GaN 系半導体レーザの長辺の端面部分にのみ存在することになるので、レーザストライプ 3 が短辺の midpoint を結ぶ直線の近傍に位置するように素子の設計を行うことにより、領域 B の影響が発光領域に及ぶことを避けることができる。共振器のミラーについては、図 10 中の縦方向の直線に沿って、劈開などにより基板のスクライビングを行うことにより端面に形成されるが、その直線が領域 B を通らないので、領域 B における転位の影響を受けることはない。
50

したがって、発光特性が良く、信頼性が高い GaN 系半導体レーザを得ることができる。以上により、図 11 に示すように、目的とするリッジ構造および SCH 構造を有する GaN 系半導体レーザが製造される。

【0116】以上のように、この第 1 の実施形態によれば、平均転位密度が低い領域 A の中に平均転位密度が高い領域 B が六方格子状に周期的に配列している GaN 基板 1 のうち領域 B の上部をエッチングにより除去して領域 B の表面を GaN 基板 1 の主面から離れた上で、この GaN 基板 1 上にレーザ構造を形成する GaN 系半導体層を成長させているので、レーザ構造の形成に使用される GaN 系半導体層に領域 B の悪影響が及ばないようにすることができる。このため、発光特性が良好で、信頼性が高く長寿命の GaN 系半導体レーザを実現することができる。

【0117】加えて、この第 1 の実施形態によれば、活性層 8 に接してアンドープ InGa 劣化防止層 9 が設けられ、このアンドープ InGa 劣化防止層 9 に接して p 型 AlGa 劣化防止層 10 が設けられているので、アンドープ InGa 劣化防止層 9 により、p 型 AlGa 劣化防止層 10 により活性層 8 に発生する応力を大幅に緩和することができるとともに、p 型層の p 型ドーパントとして用いられる Mg が活性層 7 に拡散するのを有効に抑制することができる。

【0118】次に、この発明の第 2 の実施形態について説明する。図 12 に示すように、この第 2 の実施形態においては、GaN 基板 1 の領域 B の全部をエッチングにより除去し、その部分を完全に空洞化する。そして、図 13 に示すように、この GaN 基板 1 上に MOCVD 法などにより GaN 系半導体層 L を成長させる。上記以外のことは第 1 の実施形態と同様であるので、説明を省略する。この第 2 の実施形態によっても、第 1 の実施形態と同様な利点を得ることができる。

【0119】次に、この発明の第 3 の実施形態について説明する。図 14 に示すように、この第 3 の実施形態においては、第 1 の実施形態と同様に GaN 基板 1 の領域 B の上部をエッチング除去するが、この場合、このエッチングは例えば RIE などのドライエッチングにより行う。この後、領域 B の結晶性が領域 A の結晶性より悪いことを利用して、領域 A 上では成長が起きるが、領域 B 上では成長が起きないような成長条件で MOCVD 法などにより GaN 系半導体層 L を成長させる。この結果、GaN 基板 1 の主面、すなわち領域 A 上のみ GaN 系半導体層 L が成長するようにすることができる。上記以外のことは第 1 の実施形態と同様であるので、説明を省略する。この第 3 の実施形態によっても、第 1 の実施形態と同様な利点を得ることができる。

【0120】次に、この発明の第 4 の実施形態について説明する。図 15 に示すように、この第 4 の実施形態においては、第 1 の実施形態と同様に GaN 基板 1 の領域

Bの上部をエッチング除去する。この後、領域Bの結晶性が領域Aの結晶性より悪いことを利用して、領域A上では成長が起きるが、領域B上では成長が起きないような成長条件でGa N系半導体層Lを横方向成長させる。この結果、Ga N基板1の主面、すなわち領域A上からGa N系半導体層Lが横方向成長して領域Bの上方で会合し、最終的に表面を平坦化することができる。ただし、Ga N系半導体層Lを会合させず、平坦化させないでもよい。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第4の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0121】次に、この発明の第5の実施形態について説明する。図16に示すように、この第5の実施形態においては、Ga N基板1の主面のうち領域Bの部分を完全に覆うようにSiO₂膜などの絶縁膜18を形成する。この絶縁膜18は、領域Bを完全に覆うことができればどのような形状であってもよく、例えば、領域Bの形状に合わせて円形としても、領域Bを含む四角形その他の多角形としても、さらには一列に並んだ領域Bおよびその間の部分の領域Aを完全に覆うストライプ形状としてもよい。次に、図17に示すように、このGa N基板1上にMOCVD法などによりGa N系半導体層Lを成長させる。このとき、絶縁膜18が成長マスクの役割を果たすため、この絶縁膜18で覆われていない部分におけるGa N基板1の主面上にのみGa N系半導体層Lが成長する。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第5の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0122】次に、この発明の第6の実施形態について説明する。図18に示すように、この第6の実施形態においては、第5の実施形態と同様に、Ga N基板1の主面のうち領域Bの部分を完全に覆うようにSiO₂膜などの絶縁膜18を形成する。次に、図18および図19に示す過程を経て、Ga N基板1上にMOCVD法などを用いてELOによりGa N系半導体層Lを横方向成長させる。このとき、絶縁膜18上で横方向成長するGa N系半導体層Lが会合する。ただし、Ga N系半導体層Lを会合させないようにしてもよい。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第6の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0123】次に、この発明の第7の実施形態について説明する。図20に示すように、この第7の実施形態においては、第1の実施形態と同様にGa N基板1の領域Bの上部をエッチング除去する。次に、Ga N基板1の全面にSiO₂膜などの絶縁膜18を形成し、領域Bの除去部を埋める。次に、図21に示すように、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域Bの除去部にのみこの絶縁膜18を残す。この

後、第5または第6の実施形態と同様に、Ga N基板1上にGa N系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第7の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0124】次に、この発明の第8の実施形態について説明する。図22に示すように、この第8の実施形態においては、第1の実施形態と同様にGa N基板1の領域Bの上部をエッチング除去する。次に、Ga N基板1の全面にSiO₂膜などの絶縁膜18を形成する。このとき、この絶縁膜18の厚さが、領域Bの除去部が完全に埋められない程度に小さいとする。次に、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域A上の絶縁膜18を除去する。この後、第5または第6の実施形態と同様に、Ga N基板1上にGa N系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第8の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0125】次に、この発明の第9の実施形態について説明する。図23に示すように、この第9の実施形態においては、第1の実施形態と同様にGa N基板1の領域Bの上部をエッチング除去する。次に、Ga N基板1の全面にSiO₂膜などの絶縁膜18を形成し、領域Bの除去部を埋めた後、この絶縁膜18をエッチングにより第5の実施形態と同様な形状にパターニングする。この後、第5または第6の実施形態と同様に、Ga N基板1上にGa N系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第9の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0126】次に、この発明の第10の実施形態について説明する。図24に示すように、この第10の実施形態においては、第1の実施形態と同様にGa N基板1の領域Bの上部をエッチング除去するが、この場合、エッチング深さは十分に大きく、例えば数十μm程度とする。次に、図25に示すように、Ga N基板1の全面にSiO₂膜などの絶縁膜18を形成する。このとき、領域Bの除去部が深いため、この除去部は絶縁膜18によって完全には埋められず、内部に空洞が形成されるとする。次に、例えばRIE法により絶縁膜18のエッチバックを行うことにより、領域A上の絶縁膜18を除去する。この後、第5または第6の実施形態と同様に、Ga N基板1上にGa N系半導体層Lを成長させる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第10の実施形態によつても、第1の実施形態と同様な利点を得ることができる。

【0127】次に、この発明の第11の実施形態について説明する。図27に示すように、この第11の実施形態においては、Ga N基板1の領域Aの中に領域Bが六

方格子状に周期的に配列していることは第1の実施形態と同様であるが、領域Aと領域Bとの間に、領域Aの平均転位密度と領域Bの平均転位密度との中間的な平均転位密度の領域Cが遷移領域として形成されていることが第1の実施形態と異なる。具体的には、領域Aの平均転位密度は $2 \times 10^6 \text{ cm}^{-2}$ 以下、領域Bの平均転位密度は $1 \times 10^6 \text{ cm}^{-2}$ 以上、領域Cの平均転位密度は $1 \times 10^6 \text{ cm}^{-2}$ より小さく、 $2 \times 10^6 \text{ cm}^{-2}$ より大きく、例えば $(1 \sim 2) \times 10^7 \text{ cm}^{-2}$ 程度である。領域Bの配列周期（最近接の領域Bの中心同士の間隔）は例えば $300 \mu\text{m}$ 、その直径は例えば $20 \mu\text{m}$ である。また、領域Cの直径は例えば $120 \mu\text{m}$ である。

【0128】この第11の実施形態においては、第1の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第11の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0129】次に、この発明の第12の実施形態について説明する。この第12の実施形態においては、第2の実施形態においてはGaN基板1の領域Bの全部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の全部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第12の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0130】次に、この発明の第13の実施形態について説明する。この第13の実施形態においては、第3の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第13の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0131】次に、この発明の第14の実施形態について説明する。この第14の実施形態においては、第4の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1および第11の実施形態と同様であるので、説明を省略する。この第14の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0132】次に、この発明の第15の実施形態について説明する。この第15の実施形態においては、第5の実施形態においてはGaN基板1の領域Bを絶縁膜18により覆ったのに対し、GaN基板1の領域Bおよび領

域Cの両方を絶縁膜18により覆う。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第15の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0133】次に、この発明の第16の実施形態について説明する。この第16の実施形態においては、第6の実施形態においてはGaN基板1の領域Bを絶縁膜18により覆ったのに対し、GaN基板1の領域Bおよび領域Cの両方を絶縁膜18により覆う。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第16の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0134】次に、この発明の第17の実施形態について説明する。この第17の実施形態においては、第7の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第17の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0135】次に、この発明の第18の実施形態について説明する。この第18の実施形態においては、第8の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第18の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0136】次に、この発明の第19の実施形態について説明する。この第19の実施形態においては、第9の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第19の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0137】次に、この発明の第20の実施形態について説明する。この第20の実施形態においては、第10の実施形態においてはGaN基板1の領域Bの上部をエッチングにより除去したのに対し、GaN基板1の領域Bおよび領域Cの両方の上部をエッチングにより除去する。上記以外のことは第1、第5および第11の実施形態と同様であるので、説明を省略する。この第20の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0138】次に、この発明の第21の実施形態について説明する。図28に示すように、この第21の実施形

10

20

30

40

50

態においては、第1の実施形態と異なり、長方形の素子領域2の輪郭線は、その長辺および短辺とも、領域Bの中心同士を結ぶ直線からなる。この場合も、レーザストライプ3の位置は、素子領域2の短辺の中点同士を結ぶ線上とする。こうすることにより、領域Bの影響が発光領域に及ぶことを避けることができる。

【0139】この第21の実施形態においては、領域Bの中心同士を結ぶ直線からなる、素子領域2の輪郭線に沿って劈開によりスクライピングを行うことにより共振器のミラーが形成されることが第1の実施形態と異なっている。ここで、領域Bは転位が多いので、領域Aよりも壊れやすいと考えられる。したがって、領域B同士を結ぶ直線に沿ってスクライピングを行うと、領域Bがい

わばミシン目のような役割を果たして領域Aの部分もきれいに劈開される。この際、領域Bの部分の端面は転位が多いため、必ずしも平坦にならないが、その間の領域Aの部分の端面は平坦となる。

【0140】平坦性が必要とされるのは、レーザストライプ3の端面部分であるが、図28に示すような配置であれば、領域Bの部分の端面は発光特性などに悪影響を及ぼさない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第21の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0141】次に、この発明の第22の実施形態について説明する。図29はこの第22の実施形態において用いるGa_{0.5}N基板を示す平面図である。図29に示すように、この第22の実施形態においては、領域Bがレーザストライプ3に含まれないように素子領域2が画定される。ここで、レーザストライプ3は領域Bから50μm以上離れている。この場合、素子領域2には2個の領域Bが含まれることになる。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第22の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0142】次に、この発明の第23の実施形態について説明する。図30はこの第23の実施形態において用いるGa_{0.5}N基板を示す平面図である。このGa_{0.5}N基板1はn型でC面方位である。ただし、Ga_{0.5}N基板1はR面、A面またはM面方位のものであってもよい。このGa_{0.5}N基板1においては、平均転位密度が低い結晶からなる領域Aの中に平均転位密度が高い結晶からなる領域BがGa_{0.5}Nの〈11-20〉方向に例えば400μm間隔で周期的に配列し、〈11-20〉方向と直交する〈1-100〉方向に例えば20~100μm間隔で周期的に配列している。ただし、〈11-20〉方向と〈1-100〉方向とを入れ替えてもよい。

【0143】この第23の実施形態においては、図31に示すように、レーザストライプ3に平行な一対の端面が〈1-100〉方向の領域Bの列を通り、かつ、レー

ザストライプ3がこの領域Bの列の間の領域の中央付近に位置するように素子領域2が画定される。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第23の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0144】次に、この発明の第24の実施形態について説明する。図32に示すように、この第24の実施形態においては、第23の実施形態と同様なGa_{0.5}N基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列を通り、他方の端面がこの領域Bの列から離れた位置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第24の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0145】次に、この発明の第25の実施形態について説明する。図33に示すように、この第25の実施形態においては、第23の実施形態と同様なGa_{0.5}N基板1を用いるが、レーザストライプ3に平行な一対の端面がいずれも〈1-100〉方向の領域Bの列の間に位置し、かつ、レーザストライプ3がこの領域Bの列の間の領域の中央付近に位置するように素子領域2が画定される点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第25の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0146】次に、この発明の第26の実施形態について説明する。図34に示すように、この第26の実施形態においては、第23の実施形態と同様なGa_{0.5}N基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列を通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bの列とその次の領域Bの列との間に位置し、かつ、レーザストライプ3が領域Bの列から50μm以上離れた位置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第26の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0147】次に、この発明の第27の実施形態について説明する。図35に示すように、この第27の実施形態においては、第23の実施形態と同様なGa_{0.5}N基板1を用いるが、レーザストライプ3に平行な一つの端面が〈1-100〉方向の領域Bの列から離れた位置を通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bの列とその次の領域Bの列との間に位置し、かつ、レーザストライプ3が領域Bの列から50μm以上離れた位

置を通る点で、第23の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第27の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0148】次に、この発明の第28の実施形態について説明する。図36はこの第28の実施形態において用いるGaN基板1を示す平面図である。このGaN基板1は、領域BがGaNの〈11-20〉方向に例えば200μm間隔で周期的に配列していることを除いて、第10の実施形態において用いたGaN基板1と同様である。この場合、素子領域2には領域Bの列は2本含まれる。

【0149】図36に示すように、この第28の実施形態においては、レーザストライプ3が隣接する領域Bの列の間の領域の中央付近に位置し、かつ、レーザストライプ3に平行な一対の端面がこれらの領域Bの列とそれらの直ぐ外側の領域Bの列との間の領域の中央付近に位置する。上記以外のことは第23および第1の実施形態と同様であるので、説明を省略する。この第28の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0150】次に、この発明の第29の実施形態について説明する。図37はこの第29の実施形態において用いるGaN基板を示す平面図である。このGaN基板1はn型でC面方位である。ただし、GaN基板1はR面、A面またはM面方位のものであってもよい。このGaN基板1においては、平均転位密度が低い結晶からなる領域Aの中に、平均転位密度が高い結晶からなり、GaNの〈1-100〉方向に線状に延在する領域Bが〈1-100〉方向と直交する〈11-20〉方向に例えば400μm間隔で周期的に配列している。ただし、〈1-100〉方向と〈11-20〉方向とを入れ替えてもよい。

【0151】この第29の実施形態においては、図38に示すように、レーザストライプ3に平行な一対の端面が領域Bを通り、かつ、レーザストライプ3がこの領域Bの間の領域の中央付近に位置するように素子領域2が画定される。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第1の実施形態と同様であるので、説明を省略する。この第29の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0152】次に、この発明の第30の実施形態について説明する。図39に示すように、この第30の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bを通り、他方の端面がこの領域Bの列から離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。

上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第30の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0153】次に、この発明の第31の実施形態について説明する。図40に示すように、この第31の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一対の端面がいずれも領域Bの間に位置し、かつ、レーザストライプ3がこの領域Bの間の領域の中央付近に位置するように素子領域2が画定される点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は実質的に含まれない。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第31の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0154】次に、この発明の第32の実施形態について説明する。図41に示すように、この第32の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bを通り、他方の端面がこの領域Bの列に直ぐ隣接する領域Bとその次の領域Bとの間に位置し、かつ、レーザストライプ3が領域Bから50μm以上離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bは1本含まれる。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第32の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0155】次に、この発明の第33の実施形態について説明する。図42に示すように、この第33の実施形態においては、第29の実施形態と同様なGaN基板1を用いるが、レーザストライプ3に平行な一つの端面が領域Bから離れた位置を通り、他方の端面がこの領域Bに直ぐ隣接する領域Bとその次の領域Bとの間に位置し、かつ、レーザストライプ3が領域Bから50μm以上離れた位置を通る点で、第29の実施形態と異なる。この場合、素子領域2には領域Bの列は1本含まれる。上記以外のことは第29および第1の実施形態と同様であるので、説明を省略する。この第33の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0156】次に、この発明の第34の実施形態について説明する。図43はこの第34の実施形態において用いるGaN基板1を示す平面図である。このGaN基板1は、領域BがGaNの〈11-20〉方向に例えば200μm間隔で周期的に配列していることを除いて、第29の実施形態において用いたGaN基板1と同様である。この場合、素子領域2には領域Bの列は2本含まれる。

【0157】図43に示すように、この第34の実施形

態においては、レーザストライプ 3 が隣接する領域 B の間の領域の中央付近に位置し、かつ、レーザストライプ 3 に平行な一対の端面がこれらの領域 B とそれらの直ぐ外側の領域 B との間の領域の中央付近に位置する。上記以外のことは第 29 および第 1 の実施形態と同様であるので、説明を省略する。この第 34 の実施形態によれば、第 1 の実施形態と同様な利点を得ることができる。

【0158】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0159】例えば、上述の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0160】具体的には、例えば、上述の実施形態においては、この発明を SCH 構造の GaN 系半導体レーザの製造に適用した場合について説明したが、この発明は、例えば、DH (Double Heterostructure) 構造の GaN 系半導体レーザの製造に適用してもよいことはもちろん、GaN 系発光ダイオードの製造に適用してもよく、さらには GaN 系 FET や GaN 系ヘテロ接合バイポーラトランジスタ (HBT) などの窒化物系 III-V 族化合物半導体を用いた電子走行素子に適用してもよい。

【0161】また、上述の実施形態において、GaN 基板 1 がサファイア基板などの異種基板上に設けられたものであってもよい。

【0162】また、上述の実施形態においては、GaN 系半導体層の成長に MOCVD 法を用いているが、GaN 系半導体層の成長には、ハイドライド気相エピタキシャル成長またはハライド気相エピタキシャル成長 (HVPE) や分子線エピタキシー (MBE) 法などの他の成長方法を用いてもよい。

【0163】さらに、上述の実施形態においては、MOCVD 法により成長を行う際のキャリアガスとして H₂ ガスを用いているが、必要に応じて、他のキャリアガス、例えば H₂ と N₂ あるいは He、Ar ガスなどの混合ガスを用いてもよい。また、上述の実施形態においては、劈開により共振器端面を形成しているが、共振器端面は例えば RIE のようなドライエッチングにより形成してもよい。

【0164】

【発明の効果】以上説明したように、この発明によれば、発光素子構造あるいは素子構造を形成する窒化物系 III-V 族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層が、窒化物系 III-V 族化合物半導体基板、あるいは半導体基板、あるいは基板の主面上で、第 1 の領域より平均転位密度が高い、あるいは平均欠陥密度が高い、あるいは結晶性が悪い第 2 の領

域と直接接触しないようにしているので、発光素子構造あるいは素子構造を形成する窒化物系 III-V 族化合物半導体層、あるいは半導体層、あるいは各種の材料からなる層に第 2 の領域による悪影響が及ばないようにすることができる。このため、発光特性などの特性が良好で信頼性も高く長寿命の半導体発光素子あるいは特性が良好で信頼性も高く長寿命の半導体素子あるいは特性が良好で信頼性も高く長寿命の各種の素子を実現することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態において用いる GaN 基板を示す斜視図および断面図である。

【図 2】この発明の第 1 の実施形態において用いる GaN 基板を示す平面図である。

【図 3】この発明の第 1 の実施形態において用いる GaN 基板の領域 B の近傍における転位密度の分布の一例を示す略線図である。

【図 4】この発明の第 1 の実施形態との比較例を説明するための断面図である。

【図 5】この発明の第 1 の実施形態との比較例を説明するための断面図である。

【図 6】この発明の第 1 の実施形態において用いる GaN 基板を示す断面図である。

【図 7】この発明の第 1 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 8】この発明の第 1 の実施形態による GaN 系半導体レーザの製造方法を説明するための断面図である。

【図 9】この発明の第 1 の実施形態による GaN 系半導体レーザの製造方法を説明するための断面図である。

【図 10】この発明の第 1 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 11】この発明の第 1 の実施形態による GaN 系半導体レーザの製造方法を説明するための断面図である。

【図 12】この発明の第 2 の実施形態において用いる GaN 基板を示す断面図である。

【図 13】この発明の第 2 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 14】この発明の第 3 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 15】この発明の第 4 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 16】この発明の第 5 の実施形態において用いる GaN 基板を示す断面図である。

【図 17】この発明の第 5 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

51

【図 18】この発明の第 6 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 19】この発明の第 6 の実施形態において GaN 基板上に GaN 系半導体層を成長させた状態を示す断面図である。

【図 20】この発明の第 7 の実施形態において用いる GaN 基板の製造方法を説明するための断面図である。

【図 21】この発明の第 7 の実施形態において用いる GaN 基板の製造方法を説明するための断面図である。

【図 22】この発明の第 8 の実施形態において用いる GaN 基板を示す断面図である。

【図 23】この発明の第 9 の実施形態において用いる GaN 基板を示す断面図である。

【図 24】この発明の第 10 の実施形態において用いる GaN 基板の製造方法を説明するための断面図である。

【図 25】この発明の第 10 の実施形態において用いる GaN 基板の製造方法を説明するための断面図である。

【図 26】この発明の第 10 の実施形態において用いる GaN 基板の製造方法を説明するための断面図である。

【図 27】この発明の第 11 の実施形態において用いる GaN 基板を示す断面図である。

【図 28】この発明の第 21 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 29】この発明の第 22 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 30】この発明の第 23 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 31】この発明の第 23 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 32】この発明の第 24 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 33】この発明の第 25 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

* 【図 34】この発明の第 26 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 35】この発明の第 27 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 36】この発明の第 28 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

10 【図 37】この発明の第 29 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 38】この発明の第 29 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 39】この発明の第 30 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 40】この発明の第 31 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 41】この発明の第 32 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【図 42】この発明の第 33 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

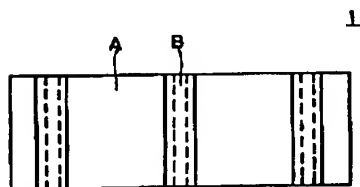
【図 43】この発明の第 34 の実施形態による GaN 系半導体レーザの製造方法を説明するための平面図である。

【符号の説明】……

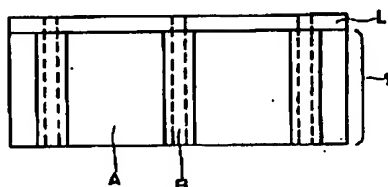
1・・・GaN 基板、2・・・素子領域、3・・・レーザストライプ、5・・・n 型 GaN バッファ層、6・・・n 型 AlGaIn クラッド層、7・・・n 型 GaN 光導波層、8・・・活性層、9・・・アンドープ InGaIn 劣化防止層、10・・・p 型 AlGaIn キャップ層、11・・・p 型 GaN 光導波層、12・・・p 型 AlGaIn クラッド層、13・・・p 型 GaN コンタクト層、14・・・リッジ、15、18・・・絶縁膜、16・・・n 側電極、17・・・p 側電極

*40

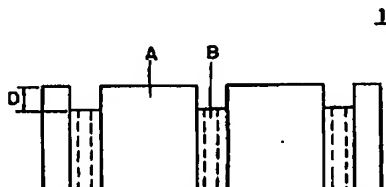
【図 4】



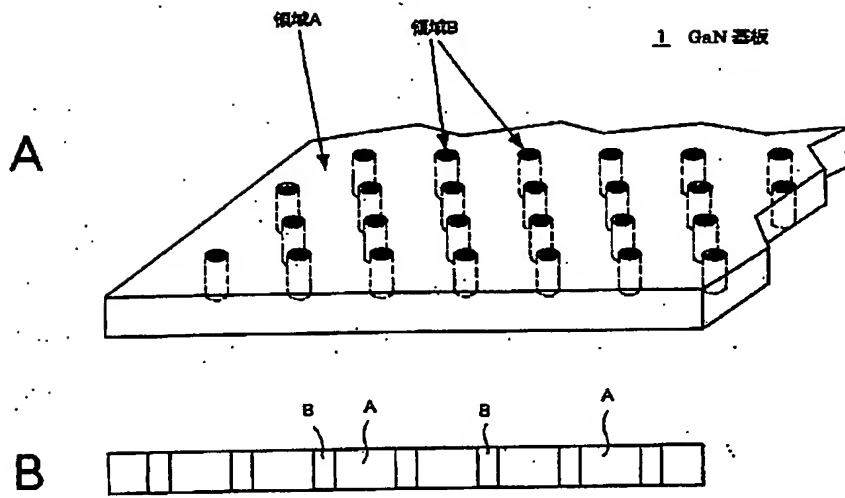
【図 5】



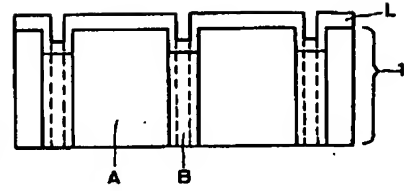
【図 6】



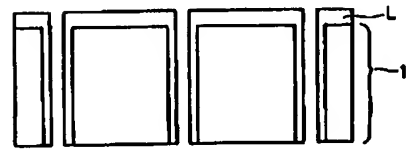
【図1】



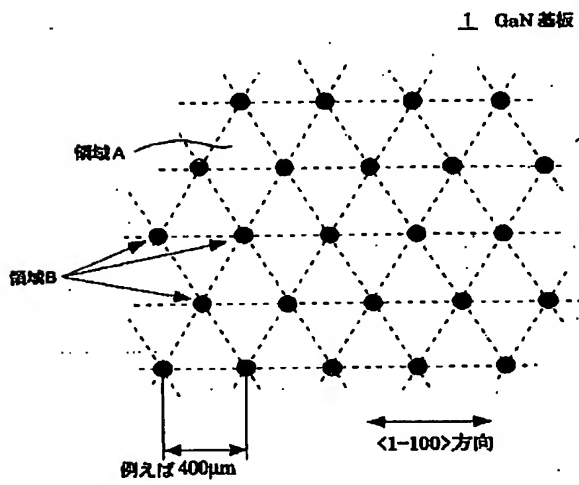
【図7】



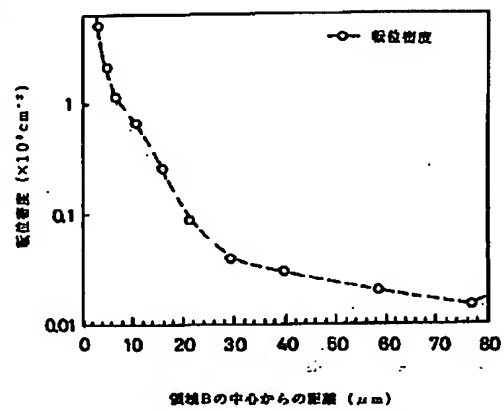
【図13】



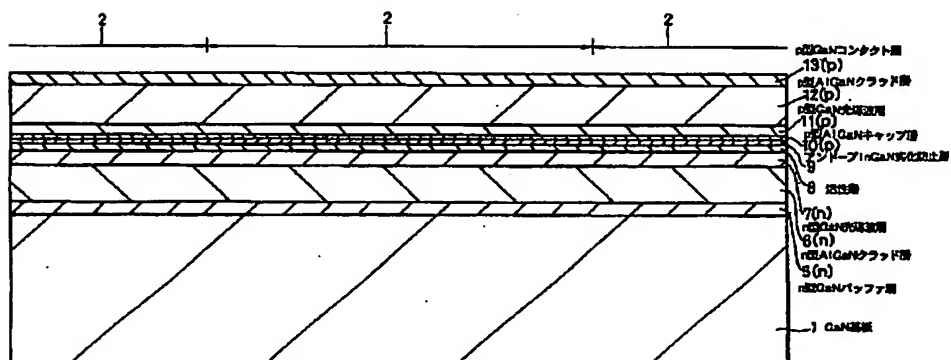
【図2】



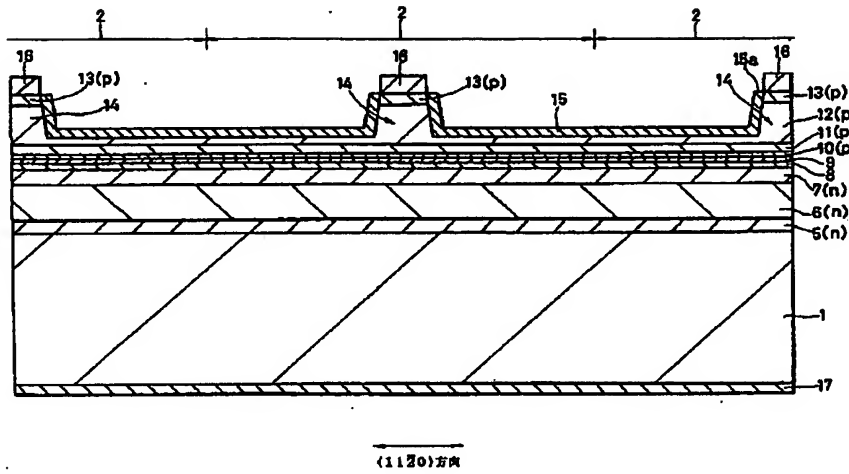
【図3】



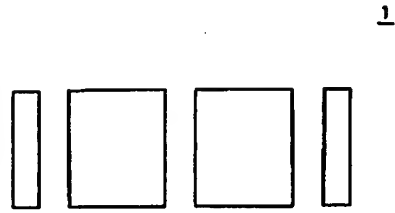
【図8】



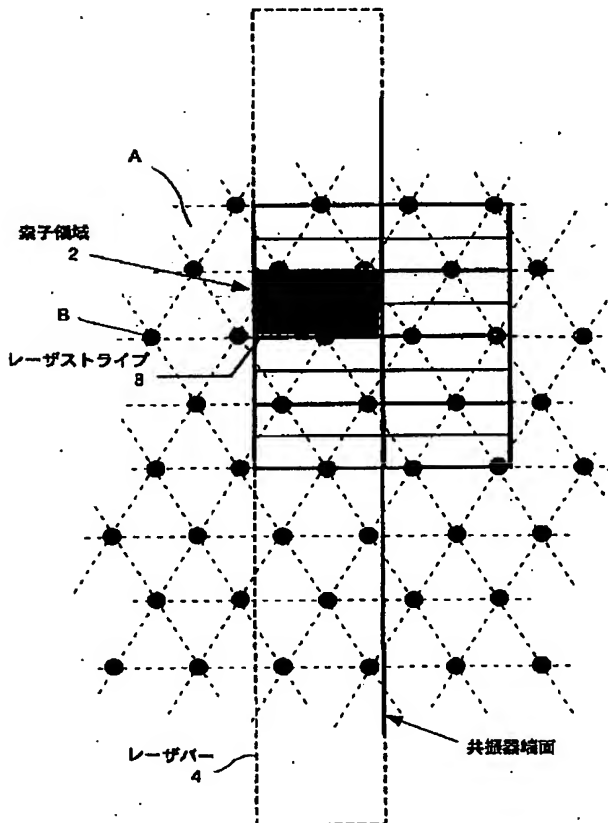
【図9】



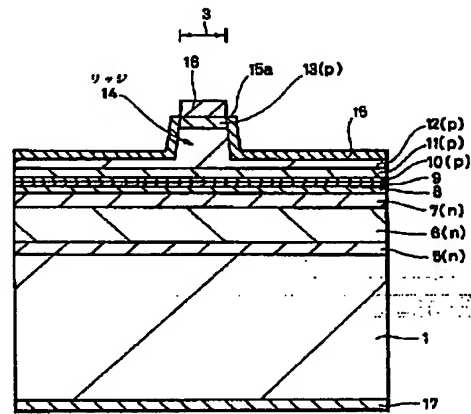
【図12】



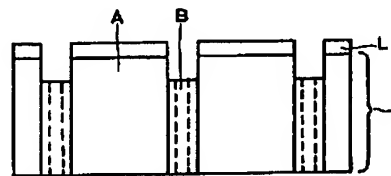
【図10】



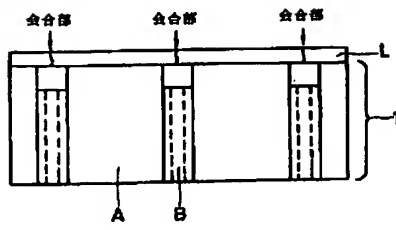
【図11】



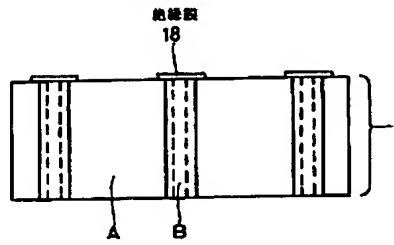
【図14】



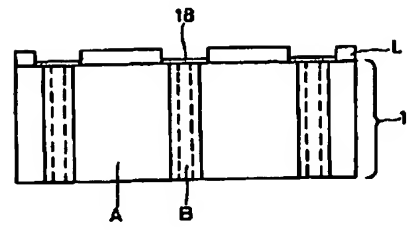
【図15】



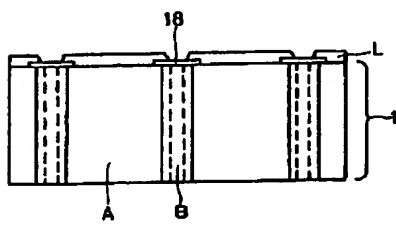
【図16】



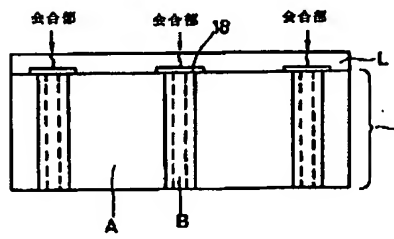
【図17】



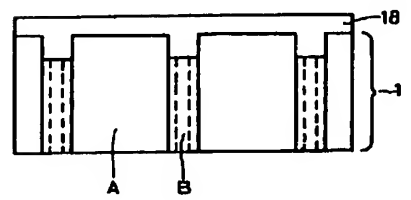
【図18】



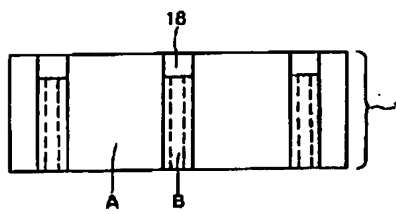
【図19】



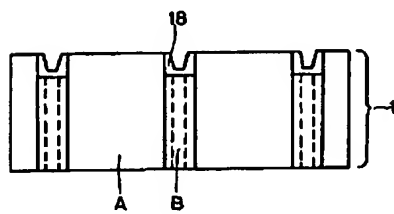
【図20】



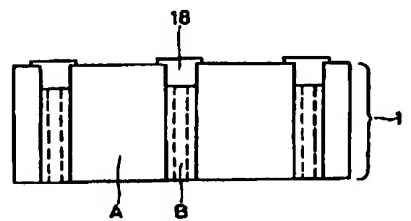
【図21】



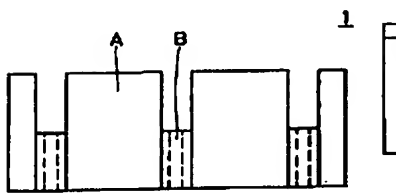
【図22】



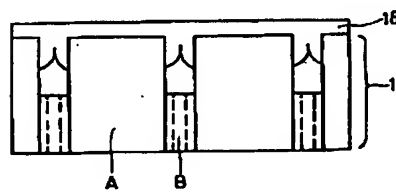
【図23】



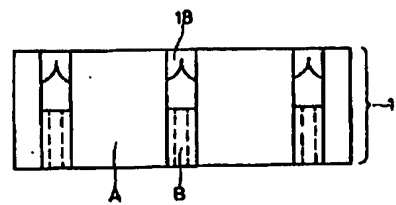
【図24】



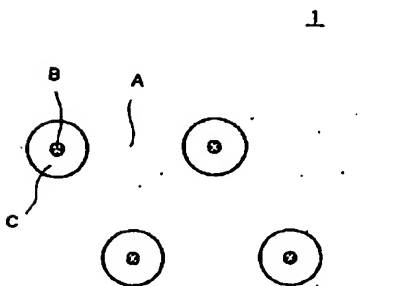
【図25】



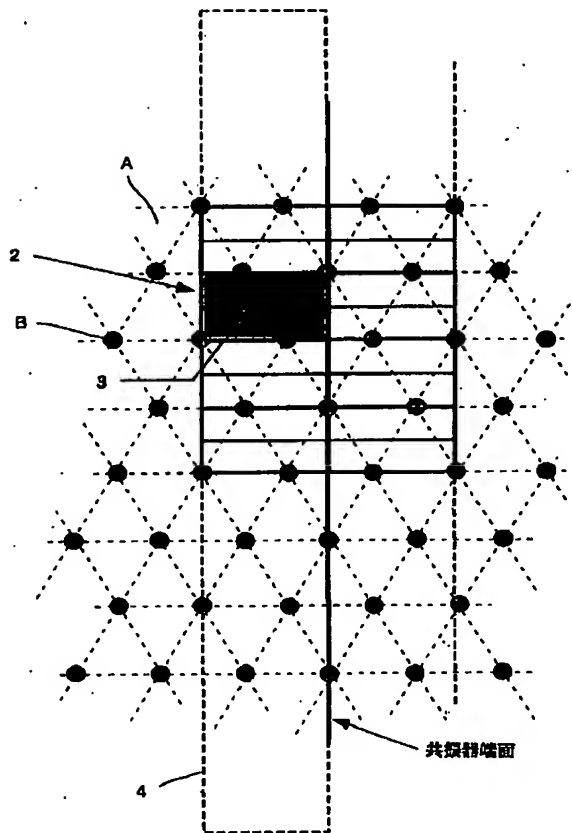
【図26】



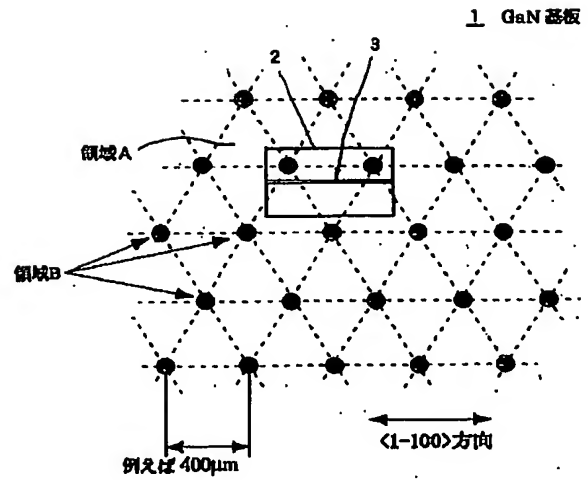
【図27】



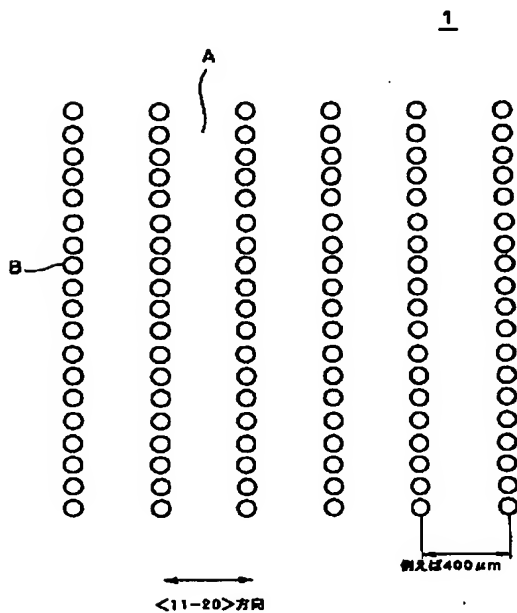
【図28】



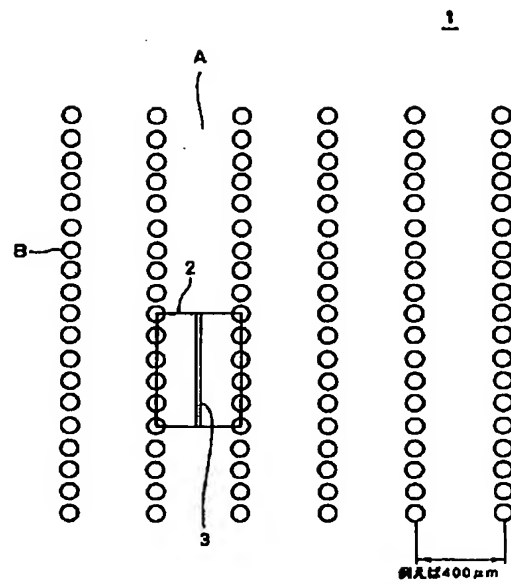
【図29】



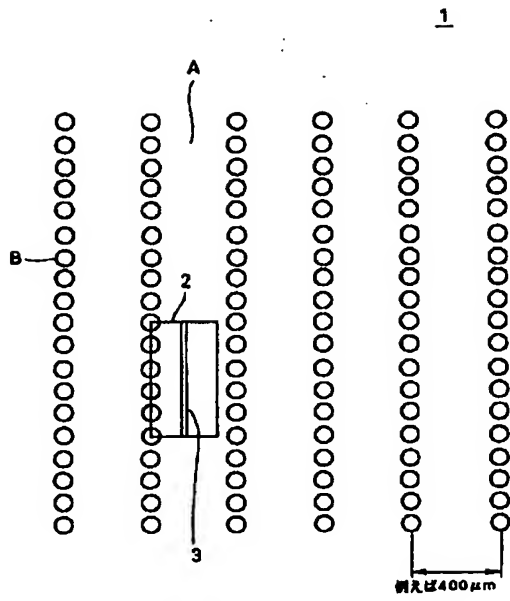
【図30】



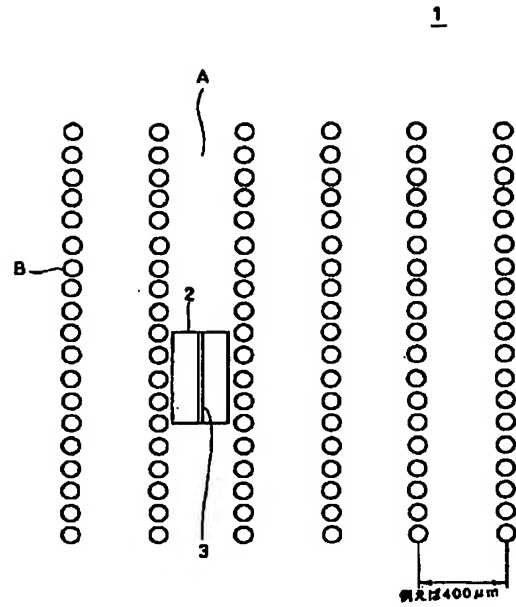
【図31】



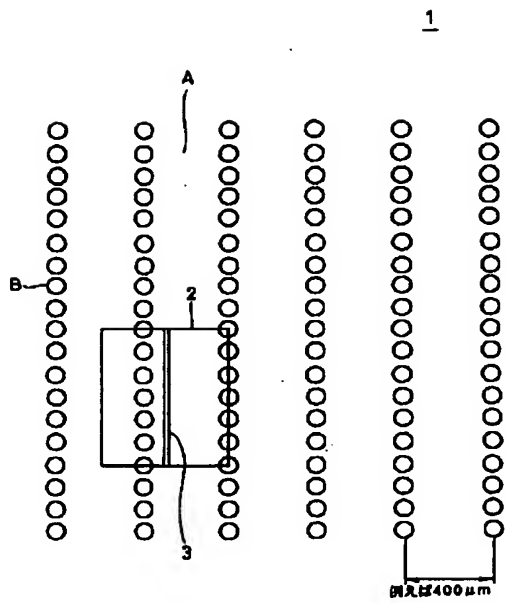
【図32】



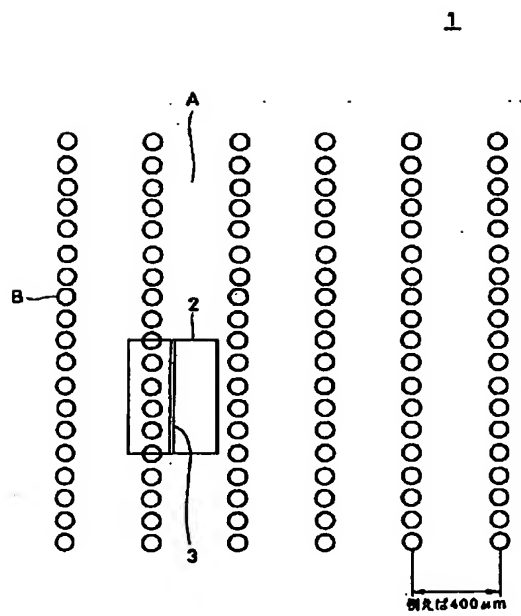
【図33】



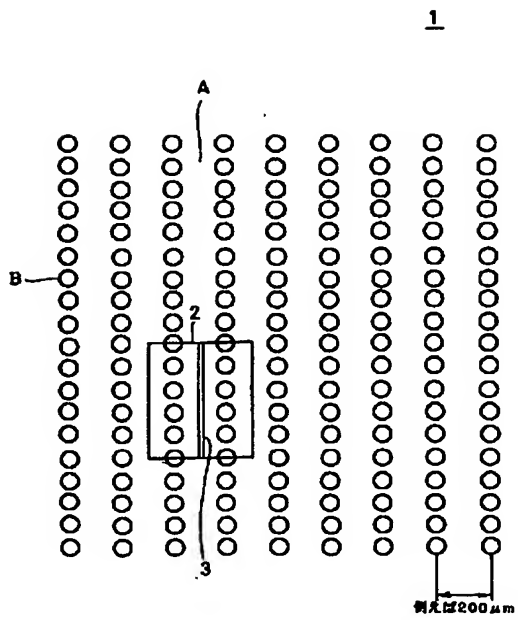
【図34】



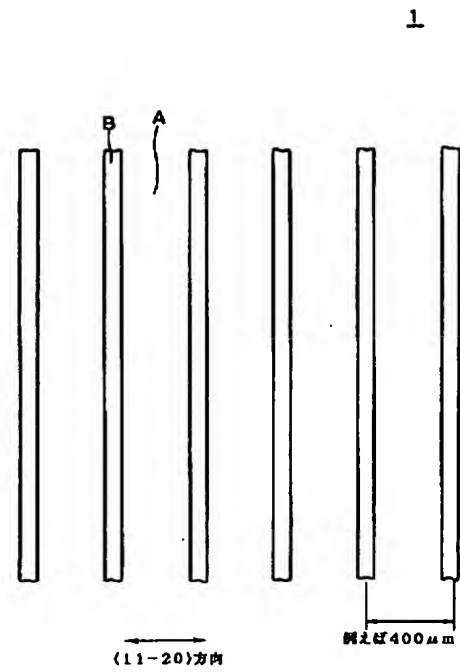
【図35】



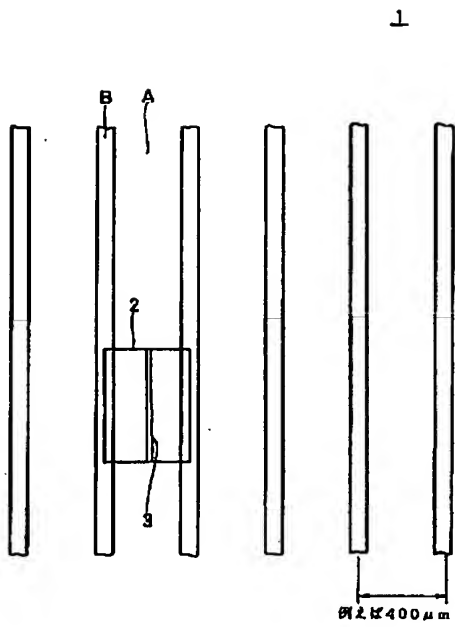
【図36】



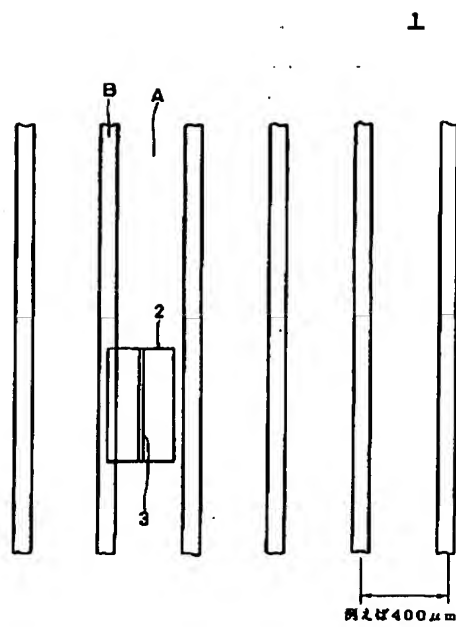
【図37】



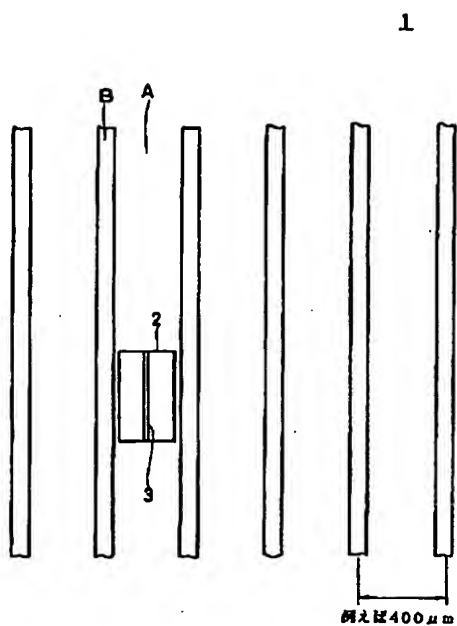
【図38】



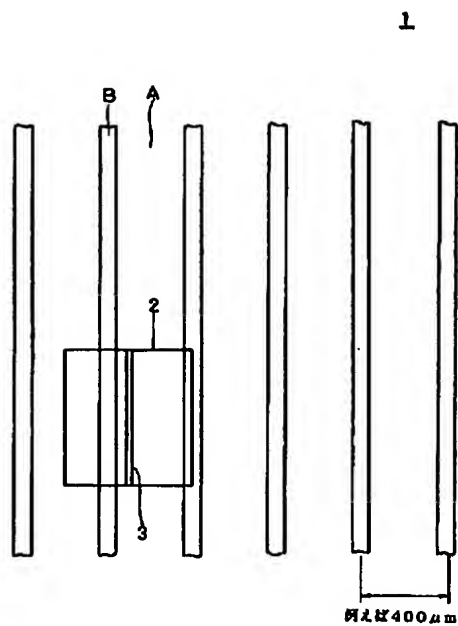
【図39】



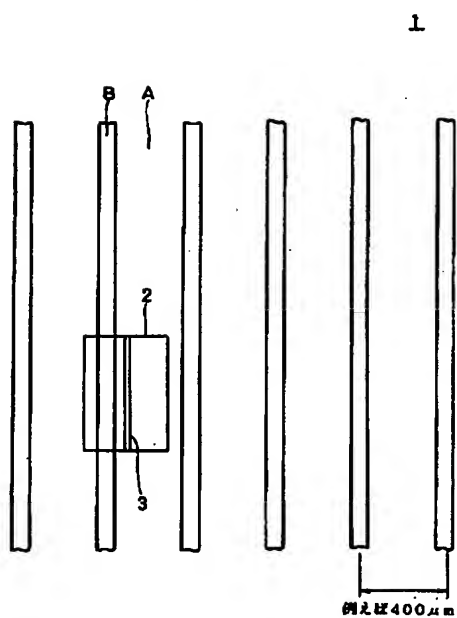
【図40】



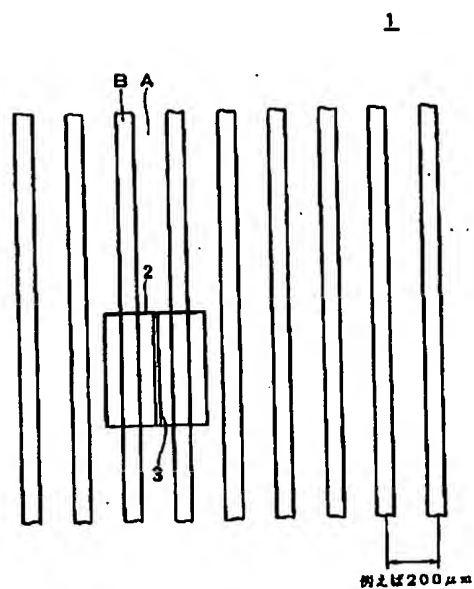
【図41】



【図42】



【図43】



フロントページの続き

(51) Int. Cl.⁷
H01L 29/737
29/80
33/00

識別記号

FI
H01L 21/302
29/80

テーマコード(参考)
C 5F073
Z 5F102

(72)発明者 小林 俊雅
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 中島 博
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 元木 健作
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

Fターム(参考) 5F003 AZ01 BF06 BM02 BM03 BP31
BP32
5F004 AA06 BA04 DA01 DA16 DB03
DB19 EA06 EA34 EA38
5F041 AA40 CA23 CA34 CA40 CA65
CA74 CA75 CA76
5F043 AA16 BB10 FF01 GG10
5F045 AA04 AB14 AB32 AC08 AC12
AF04 AF09 BB12 BB16 CA12
HA03 HA04
5F073 AA13 AA45 AA74 CA07 DA05
DA22 DA24 DA32 DA34 DA35
5F102 GB01 GC01 GD01 GJ10 GL04
GM04 GR01 HC01